

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-072739

(43)Date of publication of application : 27.03.1991

(51)Int.Cl.

H04L 12/28

(21)Application number : 02-119829

(71)Applicant :

HITACHI LTD

(22)Date of filing : 11.05.1990

(72)Inventor :

TAKADA OSAMU
ONISHI KATSUYOSHI
KIMURA KOICHI
TAKIYASU YOSHIHIRO
YAMAGA MITSUHIRO
HIYAMA KUNIO
NAKAMURA KAZUNORI
TSUKAGOSHI MASAHIRO
TERADA MATSUAKI

(30)Priority

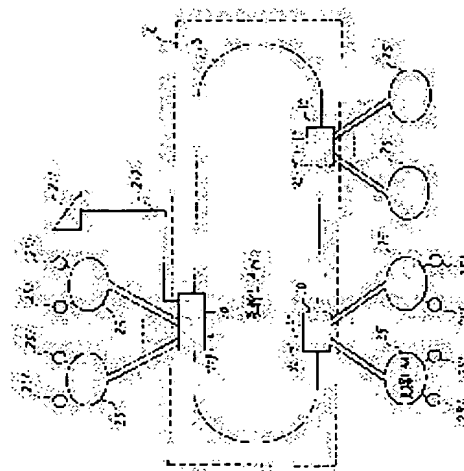
Priority number : 01117303 Priority date : 12.05.1989 Priority country : JP

(54) COMMUNICATION SYSTEM AND ROUTING INFORMATION LEARNING SYSTEM

(57)Abstract:

PURPOSE: To evade useless learning process by transferring a data between plural branch LANs through a base LAN comprising plural physical or logical transmission lines, and transferring the data in the unit of a fixed length.

CONSTITUTION: A base LAN 0 consists of a loop physical transmission line 13 and plural nodes 10 connecting to the line and a branch line LAN 25 at the outside of the base LAN 0 connects to the base LAN 0 via the nodes 10. In general plural stations (terminal equipment) 251 connects to the branch LAN 25. Moreover, a management equipment 211 and a master node are connected by the LAN such as Ethernet 212. Then the management equipment 211 uses the operator command function, that is, a command inputted by the operator to revise the configuration of the base LAN 0 or collect the statistic information in a node. Thus, the useless learning process is avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

を特徴とするルーティング情報学習方式、

28、複数のステーションを接続構成する支線LANがループ状の伝送路からなる基幹ネットワークの複数のノードに接続された通信システムにおいて、

各該ノードは、自局が接続する該支線LANからデータを受信し、該受信データが所望の場合、該受信データから送信元ステーション位置を記憶手段に登録し、該受信データが中断の場合は、該受信データからは送信元ステーション位置を登録せず、該基幹ネットワークを一過す中継データから送信元ステーション位置を該記憶手段に登録することを特徴とするルーティング情報学習方式、

29、複数のステーションを接続構成する支線LANがループ状の伝送路からなる基幹ネットワークの複数のノードに接続された通信システムにおいて、

該ノードは、自局が接続する該支線LANからデータを受信し、該受信データから送信元

- 15 -

【発明の技術分野】

本発明は、通信システムに関し、更に詳しくは、固定長データ単位でデータ転送する基幹LANと、複数の支線LANとをノード間で接続した構成の通信システムおよびルーティング情報学習方式に関するものである。

【従来の技術】

支線LANを収容する基幹LANにおいて、従来のルーティング方式としては、例えば特開昭63-196192号公報記載の方式が知られている。上記従来方式によれば、支線LANに接続されたステーション間の通信は、各ステーションが宛先ステーションが接続される支線LAN-I Dや支線LANのノードアドレス等のルーティング情報を知る必要なく、送信元ステーションアドレスと宛先ステーションアドレスを送信データに付加してフレームを送信する。もし、宛先ステーションが送信元ステーションと同一の支線LANにある場合は、宛先ステーションが接続このデータを受信できる。また、宛先ステーションが基幹LANを

- 16 -

- 17 -

3、発明の詳細な説明

介して他の支線LANに接続されている場合は、あたかも宛先ステーションが同一支線LAN内にあるように通路的に通信できる。このルーティング情報は、基本的にはIEEE802.1d MA C Bridgeに規定する学習ブリッジのアルゴリズムに従い、LANを構成する各ノードが以下のように行う。

各ノードは、予めステーションの位置を登録したエントリテーブルを保持しており、支線LANからフレームを受信した時、受信フレームの宛先ステーションアドレスをエントリテーブルから検索し、もし、宛先ステーションが自ノードが接続する支線LANにある場合は受信フレームを宛先し、また、宛先ステーションが自ノードが接続する支線LANにない場合は、あるいは見つかからない場合は、受信フレームを基幹LANから上記フレームを受信した時、受信フレームの宛先ステーションアドレスをエントリテーブルから検索し、もし、宛先ステーションが自ノードが接続

- 18 -

たは通信伝送路からなる支線LANを紹介して行われる支線LAN間の中継処理については記載されておらず、送ら先の支線LANがなくなる基幹LANの当該伝送路へのデータ転送ができない。

また、上記従来技術では、複数の支線LANを収容するノード間中継について伝送されておらず、該当支線LANへのデータ転送ができない。

また、上記従来技術では、固定長データ単位で通信を行う支線LANにおけるルーティング情報学習については伝送されておらず、以下の点で問題となる。すなわち、上記支線LANの各ノードは、支線LANから受信したデータ(フレーム)を複数の固定長データ単位(セル)に分割して基幹LANに中継する。しかしながら、ステーション位置情報は、分割された複数のデータ単位のうちのどれ一つだけに含まれているため、支線LANの他のノードは学習すべきデータが分らない。また、上記従来技術では、複数の物理または論理伝送路からなる支線LANのルーティング情報の学習については伝送されておらず、以下の点で

- 19 -

- 20 -

する支線LANにある場合は受信フレームを自ノードが収容する支線LANに中継し、宛先ステーションがこのフレームを受信する。また、エントリが見つかからない場合も、上記支線LANからの受信フレームは支線LANに中継される。宛先のステーションが他ノードが収容する支線LANにあると判断した場合は、各ノードは受信フレームを宛先する。

以上、中継するか否かを判断するために参照されるエントリテーブルは、ステーションアドレスをキーとして、そのアドレスを持つステーションが支線LANにあるか基幹LANにあるかを識別できる情報を持つものである。各ノードが保有する上記エントリテーブルは、支線LANを流れるフレーム、または支線LANを流れるフレームの送信元ステーションアドレスから、該ステーションが支線LAN側、あるいは基幹LAN側にあるかを知り、学習することができる。

【発明が解決しようとする課題】

しかしながら、上記従来技術では複数の物理ま

- 21 -

問題となる。すなわち、支線LANフレームを受信するノードは、支線LANに対して両側送信した場合、全伝送路に同じデータを送信することになる。一方、他のノードにおけるルーティング情報の学習は、全伝送路について行なうようになっているため、この場合、同じ情報による学習が伝送路の幅だけ起こることになり、無駄な学習処理が増える。

また、上記従来技術では、ループ状の伝送路からなるネットワークのルーティング情報の学習については伝送されておらず、以下の点で問題となる。すなわち、支線LANから受信したデータを基幹LANに中継するノードは、ループを一巡したデータを再び受信することになる。従って、支線LANからデータを受信したとき、支線LANからデータを受信したとき、2度学習することになり、無駄な学習処理が増える。

本発明の目的は、物理的あるいは論理的な複数のハイウェイからなり、固定長データ単位でデータ伝送を行なう基幹ネットワークと他のネットワ

- 22 -

ークとを接続するブリッジ装置を提供することに
ある。

本発明の他の目的は、複数の伝送路からなるネ
ットワークと他の複数のネットワークとを接続す
るのブリッジ装置を提供することにある。

本発明のさらに他の目的は、上述したネットワ
ークと他のネットワークシステムにおける各ノー
ドあるいはブリッジのルーティング情報学習方法
を提供することにある。

本発明の更に他の目的は、複数のLANからな
る通信システムにおおる改良されたデータ転送初
期方法を提供することにある。

【課題を解決するための手段】

上記目的を達成するために、本発明による通信
システムは、複数の支線LANと、基幹LANを
構成する複数の物理、または論理ハイウェイと、
支幹LANに接続される少なくとも一つのノー
ドとから成り、前記ノードは、前記支幹LANの一
つに接続されているブリッジと、前記支幹LAN
と前記ブリッジを接続するスイッチとから成り、

- 23 -

する機能を有し、更に、受信したデータプロ
ットから得られる上記送信元ステーションアドレ
スを含むルーティング情報を上記ルーティング情報
テーブルに登録する登録手段とを持つ。

本発明によるデータ転送制御方法は、それぞれ
少なくとも一つのステーションが接続されている
複数の支線LANが、ブリッジを介して、複数の
物理または論理ハイウェイで構成される支幹LAN
Nへ接続されている通信システムにおいて、前記
支幹LANのひとつかつから受信した、宛先ステー
ションアドレスと送信元ステーションアドレスを持
つ可変長の第1のデータプロットを上記支幹LAN
Nへ転送するために前記物理およびエラチェック情報
と学習指示を持つ可変長の第2のデータプロット
へ変換する第1の装置ステップと、前記支幹LAN
Nから転送された前記第2のデータプロットを前
記第1のデータプロットへ変換する第2の装置ス
テップと、上記第3のデータプロットを転送する
目的で上記スイッチにより接続すべき上記ハイ
ウェイの少なくとも一つを決定するためにルーティ

- 25 -

- 365 -

メールアドレスが不明の場合は、該ステーション位置
情報を含む該第2のデータプロットに学習指示情
報を付加して、該伝送路に送出し、該ステーシ
ョン位置情報を含まない該第3のデータプロットを
N本の該伝送路に送出し、全該ノードは、前記学
習指示情報を付加した該第2のデータプロットを、
前記支幹ネットワークのいずれの伝送路からも受
信し、該ステーション位置情報を該記憶手段に登
録することを特徴とするルーティング情報学習方
式が提供される。

尚、ステーション位置情報は、例えば、ステー
ションアドレスと、ステーションを取得する支線
LANを接続するノーアドアドレスとの組を用い
ることができる。

又、更にルーティング情報の検索は、宛先ステ
ーションを接続する支線LANを接続する宛先ノ
ードアドレスが自ノーアドアドレスと一致すれば該
案とし、宛先ノーアドアドレスが自ノーアドアドレ
スと一致しなければ中絶とし、宛先ノーアドアドレ
スが見つからなければ図4中絶とする。

- 24 -

各ノードは、自身が接続する支線LANからデ
ータを受信した場合には、受信データから送信元
ステーション位置を記憶手段に登録し、基幹ネッ
トワークからデータを受信した場合には、データ
が自ノードが送信したデータであれば、送信元ス
テーション位置を登録せず、データが他ノードが
送出したデータであれば、送信元ステーション位
置を登録することを特徴とするルーティング情報
学習方式を提供する。

また、各ノードは、自身が接続する支線LAN
からデータを受信し、受信データが該支線の場合、
受信データから送信元ステーション位置を記憶手
段に登録し、受信データが中絶の場合は、受信デ
ータからは送信元ステーション位置を登録せず、基
幹ネットワークを一巡する中継データから送信元
ステーション位置を該記憶手段に登録するように
しても良い。

更に本発明は複数のステーションを接続構成す
る支線LANがルーティ状態の伝送路からなる基幹ネ
ットワークの複数のノードに接続された通信シ

- 26 -

- 366 -

更に本発明においては、複数のステーションを
接続構成する支線LANが、基幹ネットワークの
複数のノードに接続され、基幹ネットワークはN
本の論理伝送路あるいは物理伝送路からなり、各
ノードは自身が接続する支線LANから受信した
第1のデータプロットを1つあるいは複数の固定
長の第2のデータプロット単位に分割して宛先ノ
ードに転送する通信システムにおいて、支幹ネッ
トワークへの転送は、支線LANから受信した第
1のデータプロットが有する宛先ステーションア
ドレスを基にルーティング情報を記憶する記憶手
段を参照し、第1のデータプロットが基幹ネッ
トワークに対して、該支線の場合は、ステーション位
置情報を含む第2のデータプロットのみを学習指
示情報を付加してある伝送路に送出することを特
徴とするルーティング情報学習方式を提供する。
更に本発明は、複数のステーションを接続構成
する支線LANがルーティ状態の伝送路からなる基幹
ネットワークの複数のノードに接続された通信シ
ステムにおいて、

- 27 -

システムにおいて、
ノードは、自身が接続する支線LANからデー
タを受信し、受信データから送信元ステーション
位置を記憶手段に登録し、登録が初めてであれば
送信元ステーション位置を基幹ネットワークに転
送するようにしても良い。

更に本発明は複数のステーションを接続構成す
る支線LANが、基幹ネットワークの複数のノー
ドに接続された通信システムにおいて、

各ノードは自身が接続する支線LANから受信
したデータプロットを基幹ネットワークに対して、
該支線の場合は、受信データプロットが有する送
信元ステーション位置のみ、基幹ネットワークに
送出し、全ノードは該支幹ネットワークから該ス
テーション位置を受信し記憶手段に登録すること
を特徴とするルーティング情報学習方式を提供す
る。

また、前記データプロットは、宛先ステーシ
ョンアドレスと、送信元ステーションアドレスと、
情報部とからなる。

- 30 -

上記の目的を達成するために、本発明は、複数のステーションを接続構成する基幹LANが、基幹ネットワークの複数のノードに接続され、基幹ネットワークはループ状の基幹ネットワークあるいは物理伝送路からなり、固定長単位でデータ転送を行う環型システムにおいて、

各ノードは前記が接続する支線LANから受信した第1のデータブロックが基幹ネットワークに対して、中継する場合は、第1のデータブロックを1つあるいは複数の固定長の第2のデータブロック単位に分割して宛先ノードに転送し、前記する場合、分割した第2のデータブロックのうち、送信元ステーション位置情報を含む1つの第2のデータブロックのみを、基幹ネットワークの1本の伝送路に送出し、

1つあるいは複数の第2のデータブロックを受信した宛先ノードは、第2のデータブロックから第1のデータブロックに組立て、当該ノードが接続する支線LANに転送し、基幹ネットワークの全ノードは送信元ステーション位置情報を含む該

伝送路に送出し、ステーション位置情報を含む伝送路に送出し、ステーション位置情報を含む伝送路に送出し、該第2のデータブロックをN本の伝送路に送出し、

前記の場合は、ステーション位置情報を含む該第2のデータブロックに学習指示情報を付加し、ある1本の伝送路に送出するようにしてもよい、該ノードは、学習指示情報を付加した第2のデータブロックを、基幹ネットワークのいずれの伝送路からも受信するようにしてもよい、

また、上記のプリリッジ機能を持つポート部を設け、ノードに内蔵させてもよい、この場合、ステーション位置情報は、例えばステーションアドレス、ノードアドレス、ポートアドレスを含むアドレス情報から成るようにしてもよい、

【作用】

本発明の基本原理は、複数の物理または論理伝送路からなる固定長データ単位に転送する基幹LANを介して、複数の支線LAN間でデータ転送をできるようにしたものである、以下では、この固定長データ単位のことを宛先ノードとも呼ぶ、

の支線LANに収容されている、従って、該データの転送する、

(2) 該当宛先ステーションが他のノードの支線LANに収容されている、従って、各宛先データ宛先ノード/ポートアドレスと送信元(自)ノード/ポートアドレスを付加し、さらに、送信元ステーションアドレスを含む宛先データには学習指示情報を示して基幹LANの宛先ノード/ポートの受信部がなる伝送路に送出する、

なお、ポートと受信伝送路は固定長単位につなげておくことが望ましい、すなわち、受信ポートアドレスと受信伝送路番号とを同じくしておくことにより、送信側は宛先ポートアドレスと同一番号の伝送路にデータを送出し、受信側は自ポートがなる伝送路からのみ受信すればよい、

(3) 該当宛先ステーションが、エントリに見つからず、宛先不明である、従って、各宛先データは、宛先アドレスと宛先ノード/ポート/ポートアドレスと、送信元(自)ノード/ポート/ポートアドレスを付加し、さらに、送信元ステーションアドレスを

自ノード/ポートアドレスとが一連する宛先データからは学習しない、

また、本発明は次のように学習するようにしてもよい、

ノードは、全ての物理又は論理伝送路を兼ねて学習表示された宛先データを取り込み、送信元ステーション情報を自ノード内の宛先データへ送り、各ポートは送信元ステーション情報をそれぞれが持つエントリに登録する、

一方、送信側(送信ポート)は、送信元ステーション位置を含む宛先データには学習表示し、かつ、学習表示した宛先データは、1本の伝送路にだけ送出するようにする、すなわち、同様であっても、学習指示の必要がある送信元ステーションアドレスを含む宛先データは、任意のただ一本の伝送路だけにすれば十分である(例えば自ポートの対応の伝送路とする)、

また、本発明は、次のように学習するようにしてもよい、前記の場合であっても、送信元ステーションの位置情報を含む宛先データのみは基幹LAN

含む宛先データには学習指示を表示して基幹LANの全伝送路に送出する、

一方、受信ポートは自ポートに割当てられた伝送路から宛先データを受信し、宛先ノード/ポートアドレスと、自ノード/ポートアドレスとの一致判断を行い、一致した場合(同報を含む)は宛先データを取り込み、支線LAN用データに組立てた後、自ノードの支線LANに転送する、この際に、宛先ステーションアドレスをキーとして、エントリを検索する必要はない、

また、学習は、学習表示された宛先データを全て取り込み、これより送信元ステーション情報、あるいは3つ組アドレス情報とも呼ぶところの(送信元ステーションアドレス、送信元ノードアドレス/ポートアドレス)を抽出してエントリに登録することにより行う、

なお、学習表示した宛先データを抽出したポートは、ループを一巡する該宛先データからは支線LANからの受信時に学習済みであるのでここでは学習しない、即ち、宛先ノード/ポートアドレスと

Nに転送することによって、中継の場合と同様に、各ポートが該ステーション位置をエントリに登録することができ、以後、各ポートは、このエントリを用いて中継/前置判断が可能となり、宛先不明による同報送信が減少する、

【実施例】

以下、本発明の実施例を四図を用いて説明する、

1. 構成

1.1 全体構成

図16図は、本発明の実施例を表すシステム全体の構成図である、基幹LAN0は、ループ状の物理伝送路13とそれとに接続される複数のノード10から成る、基幹LAN0の外周にある支線LAN25は、ノード10を介して基幹LAN0と接続する、支線LAN25には、一般に複数のステーション(端末とも呼ぶ)251を接続する、ここで支線LAN25は例えばPDDIであり、ステーション251は8ビットのMACアドレスを持つ、また支線LAN25は、相互に異なる

MAC方式のLANであっても良い。管理装置211は、ファイル装置をもつ一般のワークステーションを用いることができる。管理装置211を接続したノードをマスタノード、それ以外のノードをスレーブノードと呼ぶ。管理装置211とマスタノード間は、例えばイーサネット212のようなLANで接続する。管理装置211は、オペレータコマンド機器、すなわち、オペレータが入力するコマンドにより、基幹LAN0のコンフィギュレーションを変更したり、ノード内の統計情報を収集したりする機能をもつ。また、状態モニタ機器、すなわち、基幹LAN0の動作状態を監視し、障害を検出した場合、オペレータに対するアラーム発生、ファイル装置に対するロギングなどを行う機能を持つ。

1. 2 ノード構成

第1図は、ノード10の構成を示す図である。ノード10は、伝送制御部100及び、複数のポート部10Aとからなる。伝送制御部100と各ポート部10Aとは、MAC、R、TC、Tの各機能を介してポート

ごとに接続される。更に、上層が各ポート部10Aへ共通に接続されている。

1. 2. 1 伝送制御部 100:

第2図に示す伝送制御部100において、1001は光/電気変換部、1002は物理伝送部103からの入力データを例えば155Mbps×N(Nは、例えば4)の論理ハイウェイ1、1、1、1(以下、単にハイウェイと呼ぶ)に分離する分離部、1003は固定長パケット(セルと呼ぶ)の受信、送信あるいは中継を行うスイッチ部、1004はN本のハイウェイを多重化する多重部、1005は電気/光変換部である。分離部1002及び多重部1004は、いわゆるCCI TT制御のSONETフレームをN分割/分離(例えばN=4)し、また、分離部1002ではSONETフレームからSOHとVC-4を分離し、セル境界信号及びセルのデータをハイウェイ上へ送り出す。更に、1000はマイクロプロセッサ、100Aは、RAM、ROMなどのメモリである。マイクロプロセッサ1000からは、メ

ソリ100A及び伝送制御部100内のその他の部(1001~1005)及びイーサネットインタフェース213があればそこへもアクセス可能である。更に、マイクロプロセッサ1000から、スイッチ部1003を介して、制御情報を検受することにより、異なるノード10のマイクロプロセッサ1000間で、プロセッサ間通信が可能である。更に各ポート部10Aのノード10/1015へ、HUBを介してアクセス可能である。

尚、イーサネットインタフェース213はマスタノードにのみ存在する。

1. 2. 2 ポート部 10:

第3図に示すポート部10Aは、IEEE 802.1d MAC Bridgeで構成されている「学習ブリッジ」の機能を持つ。

ポート部10Aにおいて、1006はスイッチ部1003より受けたセルを基幹LANフレームに組立てる受信制御部、1007はリブアセンブルバッファ、1008は送信制御部、1009は基幹LANフレームをセルに分離し、スイッチ部

10125は、AMDのAm7984(ENDEC)及びAm7985(EDS)及び、住宅電工の光モジュールDM74-742-XPFで、受信バッファはRAMで実現できる。また、フレーム抽出部10126は、該ポート部10Aが基幹LAN側から基幹LAN側へ中継(送信)した支幹LANフレーム4950が、FDDIリリングを一回して該ポート10Aに戻ってきた時に、FDDIリリング上から抜き出すための回路であり、例えば、ANSI 実装PROPOSAL ON FRAME STRIPPING FOR BRIDGES IN FDDI(Henry Yang, K. K. Ramakrishnan and Bill Hawes, June 18, 1988)で説明のある「中継フレーム抽出方式」に基づき、中継フレームカウンタ制御による除去回路、あるいは、CAMにより、実現することが可能である。

2. 基幹LAN及び支幹LANの説明

SR)、セル内部の予約長(LSN)、管理用セル表示(SN)、シークランス番号(SN)からなる。PSNの値により、セルをFirst、Next、Last、Singleセルと区別して呼ぶ。また、宛先ノード/ポートアドレス956、送信元ノード/ポートアドレス957、HC958、ICS962の具体的な構成の一例を第27図に示す。

第27図の実施例では、ノードアドレスとポートアドレスを分離しているが、ノードアドレスとポートアドレス全体を一つのノードアドレスとして扱うことも可能なことは、容易に理解できる。この場合、第1図において、ノード10内のポート10Aは、一個になる。

2. 4 セルへの分割/組立て

基幹LAN0内をセル963で転送するのは、第7図に示すように、支幹LANフレーム950の内、PCS954を囲んだ部分(その長さをLバイトとする)である。また、PCS954を含めて転送するもう1つの実施例もあるが、いずれにせよ、以下では基幹LAN0内をセル963

で転送する部分を基幹支幹LANフレームと呼ぶ。Lfの大きさが変わるだけで以下の説明は、同様に応用できる。Lfの大きさをLとすると、次の条件で、セルに分割(セルを生成)し、支幹LANフレームの一部分又は全部を、セル内部にコピーすることで、セル内部961の長さをLバイトとする。

(1) Lf ≤ Lならば、第7図(B)に示す如く、Singleセルを生成する。

(2) L < Lfならば、第7図(A)に示す如く、最初にFirstセル、次に0個以上のNextセル、最後にLastセルを生成する。

なお、Singleセル及びFirstセルに限り、中継機能ヘッダ960がセル内部961の先頭部分に存在する。第5図から(B-1)から(B-4)は、それぞれFirst/Next/Last/Singleセルの形式を示す。また、第6図(C)には中継機能ヘッダの形式を示す。

以上の説明で明らかのように、支幹LANフレームの宛先宛先アドレスおよび送信元宛先アドレ

スは、FirstセルまたはセルのSingleセル内容部に格納される。また、Lastセル及びSingleセルではLSNで指示した取分しかセル内容部に情報が格納されず、0バイト以上のあきが存在する。中

9. ソフトウェアによる初期化

パワーサン等)のリセットにより、伝送制御部100のマイクログロブセッサ1000が動作を開始し、ROM及びRAMから読出されるメモリ100A上のプログラムの実行によりO/Pポート1001、分岐部1002、スイッチ部1003、多量部1004、E/Oポート1005、イーサネットインタフェース部1013等の初期化を行い、該ノードが物理伝送路部1013を介して他ノードと通信できるようになる。また、管理装置111とマイクログロブセッサ1000が通信できるようにする。同時にポート1010 Aも、マイクログロブセッサ1013、メモリアドレスにより、支線バスポート1012、ノードアドレスにより、支線バスポート1016、パケット受信部1006、リニア変換部1008、アナログパル

- 47 -

て、メモリ1000から各ポート10Aのメモリ1014へプログラム/初期化データをロードしても良い。

型方向にすなわち、メモリ1014からノード
 1015経由メモリ1000へ、更に前述のプロ
 セッサ間通信を駆けてマスタノードのメモリ
 1000へ、更にイーサネットインタフェース
 213を通じて管理装置へ統計情報等をアップ
 ロードしてあることが分かる。

4. 支線LANから基幹LAN(上り)方向の中継

以下、ノード10の実施例を説明する。本節では支線LAN25は全て同じMAC方式のLAN、例えばFDDIである実施例を述べるが、ことなるMAC方式のLAN回線の実施例は後で述べる。

4.1 プログラムの動作

第20図はマイクログロブセッサ1013が実行するプログラムのフローチャートである。以下、

- 49 -

SMTフレームなら、S90で東京線LANF7
ーム全体を受信バップ710121からメモ
1014へコピーしたの、S80に至る。メモ
1014にコピーされた第3SMTフレームは、
別のプログラムによりマイクログロセサ
1013で処理してもよいし、あるいは、更にノ
ード71015経由でメモリ100Aに転送し、
マイクログロセサ1000で処理してもよい。
LNCフレームなら、受信バップ710121か

5セセパツア71008Aを送受信線LANフレームを駆動（上リ駆動）するために、S50で駆動線LANフレームの電圧を計算し、電圧REG1008Aにセツトし、更に、S53、中継機セツタングREG1008Bに第28図に示す信号をセツトし、更にS55で送受信線REG1008Bもセツトする。これ以降、FDB部1016と、送受信線部1008、セツタング1009は、学習コプリッジで動くところのフィルタリング、レーザ出力、パワーチェンジを行うが、これらについては後述する。その際、上リ駆動が完了したため

- 15 -

に、ライトポイント新聞部10087に転送通知を
し、ライトポイント新聞部10087がセルパッ
1009にwriteアドレス及び制御信号を出力する。
れより、転送装置LANフレーム960は、受
セルパッファ10121からセルパッファ1009
、例えば4バイト単位に分割され、順番に転送
れる。この時、受信パッファ10121は、受信
セルパッファ新聞部10122により、転送した分のパッ
ファが解放される。

送信機送新脚部1008は、最先端モデルレス
511がセルパフ1008へ配達されるタイ
ミングで、最先端アドレス951をキーアドレ
スREG10083に取り込ませた後、横にP
D脚部1010へのフィタリング要求を出す。
横に、別なタイミングでキーアドレスREG
0082に送り先端アドレス952を取り込
ませ、更に、自ノード/ポードアドレスREG1008の
も取り込ませ、3つ組アドレス情報、つまり、
端アドレス、ノードアドレス、ポードアドレス）
を送る。P D B脚部1010へユーニ
ンを送る。

ク要求を出す。

4.3 FDB部

第25圖は、PDB創製態1010を説明する図である。

FDD部10116はエントリテープル10117とPDB制御部1010から成り、エントリテープル1011には例えばAMD社製のAm95C85等のCAMを設けることにより実現できる。図8は、請求項15、ノードアドレス、ポर्टアドレスの3つアドレスの組からエントリを記憶するためのテープルで、エントリテープル1011の内容を動的に変化したものである。このテープルは、アドレス部、ルータ部、インターフェース部、又はルータ情報テープルと称す。

上院FDB創設部1010は

①上りのフィリタリグ/ラーニンブ要求、下りのラーニンブ要求、及び學習セル多量部10034からのラーニンブ要求を因停するとともに、

•

エントリ-ター-プ-ル1011へ、サーチ/未使用
エントリサーチ/エントリ登録、等のコマンドを
送り、更に、エントリ-ター-プ-ル1011からの
サーチ結果 (Found, Not Found)
に従って、フィルタリング要求元へ、結果を送す
機器をもつFDBB400111と、
⑤エントリ-ター-プ-ル1011へのサーチ/エ
ントリ登録の時、検索アドレス、又は、3つアド
レス (検索アドレス、ノードアドレス、ポート
アドレス) からなるアドレス情報を格納しておくラ
イREG10112と、
⑥エントリ-ター-プ-ル1011のサーチ結果
(ノードアドレス、ポートアドレス) を格納する
ライREG10113と、
⑦多量化部100341からの組アドレス情報
100346を格納する組アドレスREG101
14と、⑧セレクトからなる。
上記FDBB400111は、送信転送制御
部10081からのフィルタリング要求 (Q)。

-55-

サーチ/エントリ登録コマンドを送る。この結果、
(a) フィルタリング要求時: ライトREG
10112の値 (検索アドレス) を検索キーとし
て、エントリ-ター-プ-ルの検索アドレスフィールド
をサーチさせ、
⑧Found: エントリ-ター-プ-ル1011
の中に検索キーと一致する組アドレスが見つ
たなら、エントリ-ター-プ-ル1011からは、リ
ードREG10113に、組アドレス中のノード
アドレス及びポートアドレスの値が、更に、FD
B400111にFoundが返される。
⑨Not Found: エントリ-ター-プ-ル
1011の中に検索キーと一致する組アドレスが
見つからなかったなら、エントリ-ター-プ-ル10
11からは、FDBB400111にNot
Foundが返されるので、FDBB400111
11は、リードREG10113をリセットして、
その値を"11'0"にする。
フィルタリングの結果が確定すると、FDBB400
10111は、要求元へ、完了を通知する。

-56-

及びラ-ニング要求 (Q)、受信制御部1008ない
の学習制御10066からのラ-ニング要求
(Q)、学習セル多量化部100341内の多量化部
100341からのラ-ニング要求 (Q) の中か
ら次の優先順位にしたがってエントリ-ター-プ-ル
の動作を許可するための動作回数をもち、優先順
位は、フィルタリング要求 (Q) が一番高く、以
下、⑤、⑥の順である。これにより、ポート
部10A (プリッジ) の支線LANフレームのフ
ィルタリング及びファイワー-ディング性能を向上で
きる。
上記FDBB400111は、更に、図停
果に従い、セレクトを介して、今回、エントリ-
ター-プ-ル1011の動作を行うに必要なキ-情報をキ
-アドレスREG10082又は、組アドレスR
EG10114、又はアドレス情報REG100
67からライトREG10112に取り込むと共
に、エントリ-ター-プ-ル1011へは、フィルタ
リング要求に対しては、サーチコマンドを、ラ-
ニング要求に対しては、サーチ/未使用エントリ
ニング要求に対しては、サーチ/未使用エントリ

-57-

(b) ラ-ニング要求時: FDBB400111
1010は、ライトREG10112の組アドレ
ス情報中の送信元検索アドレスを検索キーとし
て、検索アドレスフィールドをサーチさせ、一致
する組アドレスが見つかった (Found) 時は、
該エントリのノードアドレス及びポートアドレス
フィールドに、ライトREG10112の組アド
レス情報中の送信元ノードアドレスと送信元ポ
ートアドレスの値をセット (上書き) させる。
Not Found時は、未使用エントリをサ-
チさせ、該エントリにライトREG10112の
組アドレス情報の値を登録させる。なお、検索ア
ドレスをエントリ-ター-プ-ルへ登録する時、その
最上位ビット (1ノビット) の値は常に0にす
る。
4. 4 フィルタリング及びファイワー-ディ
ング3回に亘って、上り方向中継でのFDBB400
1016へのフィルタリング要求以外の送信制御
部1008、セルバッファ1009の動作を説明する。

-58-

4. 4. 1 ケース1
フィルタリング要求の結果、FDBB400111
に優先検索アドレス951に一致する組アドレス
がなかった場合であり、システム立ち上げ後の初
期状態でエントリ-ター-プ-ルに何も学習されてい
ないとき、あるいは優先検索アドレス951が同
報 (1ノビット=1) アドレスの時、等が該当
する。該転送支線LANフレーム950は最終L
AN側へセル950により同報送送する必要がある。
FDBB4001116からは完了通知とともに、宛
先ノード/ポートアドレスREG10084に、宛
先"11'0" (Not Found) が返される。
中継/検索制御部10085は、自ノード/ポ-
ートアドレスREG10089の値と宛先ノード/
ポートアドレスREG10084の値を比較した
結果、不一致かつ宛先ノード/ポートアドレスR
EG10084の値が"11'0"なので、送信
転送制御部10081およびセルヘッダ生成部へ
同報ファイワー-ディングを通知する。尚、自ノード

-59-

を通知する。さもなくば、最初のセルに対しては、
PSN=First, LSN=意味なし、を通知
し、送信転送制御部10081内部でLast
-Loなる減算を行う。次のセルは、新たなLSN
が、Loより大なら、PSN=Next, LSN
=意味なし、意味なし、を通知し、送信転送制
部10081内部でLast-Loなる減算を
再び行い、Loとの比較を同様に行い、前記の処
理を行う、と言ったことを繰り返す。最後には、
新たなLSNがLo以下になるので、送信転送制
部10081は、PSN=Last, LSN=
Lastを通知する。更に、送信転送制御部
10081は、セルヘッダ生成部10086ない
のHCSジェネレータ100863、ICSジェ
ネレータ100865に、セルを生成するタイミ
ング毎にリセット指示を通知する。尚、
Single又はLastセルのセル内番部
961に発生する0バイト以上の空きのエリアは、
例えば、"11'0"に、又は、"11'1"
に、又は、任意のパターンにするように、送信転

-60-

ノポートアドレスREG10089は、マイクロ
プロセッサ1013が初期設定しておくが、その値に、
"11'0"は設定しないものとする。

(1) 送信転送制御部10081は、4. 2で
説明したように転送支線LANフレーム950を
受信バッファ10121からセルバッファ100
9へ例えば4バイト単位に搬送し転送すると同時
に、部5図、部6(A)、(B) 及び部7図 (A)、
(B) の説明で述べた仕様に従い、セル963を
生成するタイミング、セル位置 (PSN) 情報、
及びセル情報部の番部長 (LSN) をセルヘッダ
生成部10086に通知する機器を備える。上記
制御部は、例えば比較回路、減算回路、その他の回
路要素で構成される。
PSN, LSNの値計算及び転送完了後には、次のよ
うにしておく。すなわち、長さREG100
8Aに指定された長さ、に、中継制御部ヘッダの長さ
を加えた全長 (Lc) がセル内番部の長さ (Lc)
以下なら、PSN=Single, LSN=Lc

-61-

送信制御部10081が、ライトポイント制御部
10087に通知しても良い。
(2) セルヘッダ生成部10086は部28図に
示す値をセルヘッダを生成し、ライトポイント制
部10087が指定するセルバッファ1009上の位置
にセルヘッダを格納する。
部35図は、セル生成部10086の1実施例を説
明する図である。L生成10088は、PSNの値が
FirstまたはSingleのときは、1を、それ以外のと
きは0を生成する。SEL 10088は、前述した中継/
検索制御部10085からの同報/個別ファイワー-ディ
ング通知に従い、宛先ノード/ポートアドレスへの設
定値を自ノード/ポートアドレスREG10089からの値
にする (個別ファイワー-ディングの時) か、または、
送信セル内番部アドレスレジスタ100855からの値に
する (同報ファイワー-ディングの時) か、選択する。
送信セル内番部アドレスレジスタ100855へは、マイ
クロプロセッサ1013から初期設定しておく。この
初期設定値の実例として、
部28図の宛先ノード/ポートアドレス956

-62-

の値は、表規則 (a) では 01111' の一桁目ビットアドレスであり、全てのポート 10A に該セルを受信させることを意図している。他の表規則 (b) では最上位ビット = 1、残りは、all 1' を除く任意の 0/1 パターンからなるグループ ID であるグループ間転送アドレスであり、特定のポート 10A グループに該セルを受信させることも意図する。これらの表規則のシステム応用例は後述する。

HCS ジェネレータ 10085 は、SEL 100862 からの優先ノード/ポートアドレス値及びノード/ポートアドレス REG10089 からの送信元ノード/ポートアドレス値を入力し、エラーチェックコード (ECS) を生成する。その後、HCS ジェネレータは、送信転送制御部からのリセット指示で、リセットされる。

SEQ ジェネレータ 10085 は、インクリメント、AND 回路、他から成り、次の表規則のいずれかのアルゴリズムを用いて、シケナンス番号 (SEQ) を生成する。なお、(a) では、転送支線 LAN フレーム単位に SEQ の値は 0 からスタートするが、(b)、(c) では、

- 53 -

次に、ICS ジェネレータ 10086 は、受信バッファ 10121 からの転送支線 LAN フレーム 950 の一部分は、ライトポインタ制御部 10087 のアドレス指定に従い、セルバッファ 1009 内にセル 963 の形式で格納される。セルバッファは格納値のセル (例えば 4 個) を格納できる。リードポインタ制御部 10088 はライトポインタ制御部 10087 からのライトポインタ値と自ライトポインタ値を比較することにより、セルバッファ 1009 の Not empty (セルが 1 個以上存在する) を知り、スイッチ部 1003 へセル転送要求を通知する。なお、リードポインタ制御部 10088、ライトポインタ制御部 10087 は、パワーオンリセット等で初期化され、セルバッファ 1009 は empty とする。

(4) 送信転送制御部 10081 は、以上述べた動作をくり返し、送受 REG1008A で設定された分の転送支線 LAN フレームのより転送及びそれに伴うセル生成が完了すると、より転送完了ステータス 1008C に値 (= 両側通信) を設定し、

- 55 -

更に送受 REG1008D に値 (= 0) を設定する。

次のケースとして、FDB 部 1016 に優先端先アドレス 951 に一致する相手アドレスがある場合であるが、FDB 部 1016 からは、完了通知と共に宛先ノード/ポートアドレス REG10084 に、宛先端先アドレスに一致した 3 つのノードアドレス、ポートアドレスが返される。4.4.1 ケース 1 と同様、自ノード/ポートアドレスとの比較結果、次のケース、一致する場合、不一致の場合に分かれる。

4.4.2 ケース 2

一致する場合、すなわち宛先端先アドレス 951 で指定された宛先は、該ポート部 10A が格納している支線 LAN 25 上に存在する場合であり、該支線 LAN フレーム 950 は、宛先すべきフレームである。中継/宛先判断部 10085 からは、送信転送制御部 10081 へ宛先を通知する。

- 57 -

951 で指定された宛先は、該ポート部 10A 以外のポート部 10A に格納している支線 LAN 25 上に存在する場合であり、該支線 LAN フレーム 950 は、送受 LAN 側へ中継 (フォワーディング) すべきフレームである。中継/宛先判断部 10085 は、4.4.1 ケース 1 で述べたと同様の判定を行う。すなわち、フィルタリング要求の結果が設定されている宛先ノード/ポートアドレス REG10084 の値が自ノード/ポートアドレス REG10089 の値と異なり、かつ、宛先ノード/ポートアドレス REG10084 の値が all 0' でない場合に、個別フォワーディングを送信転送制御部 10081 及びセルバッファ生成部 1008E へ通知する。

以後の動作は 4.4.1 ケース 1 で述べた動作と次の点が異なるだけで他は同じである。

(e) 宛先ノード/ポートアドレス 956 に、宛先ノード/ポートアドレス REG10084 の値を設定する。

(b) より転送完了ステータス REG1008C

- 59 -

送信転送制御部 10081 は前述したように、FDB 部 1016 へリレーニング要求を出した後、より転送を中断し、より転送完了ステータス 1008C に値 (= 宛先) を設定し、更に、送信開始時に設定された送受 REG1008A の値と転送中断までに転送した転送支線 LAN フレームの差分を宛先 REG1008D に設定する。更に、ライトポインタ制御部 10087 に対し、生成キャンセルを通知し、セルバッファ 1009 におけるセルを消去させ、更にセルヘルプ生成部 10086 に対し、生成キャンセルを通知し、SEQ ジェネレータ 10085 の更新を抑制する。この生成キャンセル通知は、FIR 又は SING 10 セルの生成完了後に行うので、宛先されるべき転送支線 LAN フレームの一部又は全部がセルとしてスイッチ部 1003 に送られることはない。

4.4.3 ケース 3

一致しない場合、すなわち、宛先端先アドレス

- 59 -

に値 (= 個別転送) を設定する。

4.5 上り方向のハードウェア動作 (その 2) 上り方向のハードウェア動作をセルバッファについて述べる。

セルバッファ 1009 は、支線 LAN 25 の送信速度 (例えば 1001 の 100Mbps) と、送受 LAN のハイウェイの送信速度 (例えば 155Mbps) との速度差を吸収するため、支線 LAN 制御部 1012 からのデータ転送処理と、FDB 部 1016 に対するフィルタリング及びリレーニング処理と、スイッチ部 1003 へのセル転送処理との並行処理を可能とするために備えてある。つまり、セルバッファ 1009 のセル格納数は、宛先、例えば、3 段以上あれば良い。

例えば、セルバッファ 1009 に 4 段備えた場合、次のように動作する。例えば第 1 段目の内容、すなわちセルがスイッチ 1003 への転送中で、第 2 段目のセルがフィルタリング終了し、その結果が中継であったので、スイッチ部 1003 への転送を待ち、更に、第 3 段目のセルがフィルタリング中 (ヘッダ

生成中を含む)であったとすると、更に、第4級目の内容には、次のデータを送りつつフィルタリングの準備をしておくことが出来る。

セルパツパを介することにより、上述のよう
に発行処理ができるので、たとえ複数のセルの、
スイッチ1003への転送が長時間を要することがあ
っても、他機に空きがあるかぎり、この空きを順
次で利用することによって、遅延的に、支線LAN
フレームをフィルタリング出来、フィルタリング
性能が向上する。つまり、支線LANフレームの商業
性が向上する。すなわち、支線LANフレームの商業
性が向上し、当該位置にセルを転送するのであ
る。空くなり、空きがある位置、なお、上述のセル
1008は速くなくなり、なお、上述のセルパツパ
1008の頻度は、リード・データ交換部10018とライ
ト・データ交換部10017がメモリ・マネージング・

5. スイッチャー

第9図にスイッチ部1003の詳細構成を示す。
スイッチ部はハイウェイ選択部10035と、学習セ
ル多量部10034、及びハイウェイ1,j,k,1対応のハ
イウェイ処理部100301,1,j,k,1から成る。

動し、該スルの宛先ノード／ポートアドレスの最上位ビット(16ビット)値を判定する。但しもし「1」すなわち一斉開閉又はグループ開閉アドレスを示しているなら、該スル全ハイクウェイのセルバツフ10036へ転送するが、もし転送先ハイクウェイのセルバツフ10036が、もし転送先ハイクウェイのセルバツフ10036が、もし転送先セルバツフ10036へ転送は該セルバツフ10036に空きがでるまで延期される。

もし宛先ノード／ポートアドレスが個別アドレス
ス、すなわち最上位ビット＝０ならば、該セルを
宛先ポートアドレス（宛先ノード／ポートアドレ
ス556の下2ビット）の値00、01、10、
11に使い、それぞれハイウェイa, b, k, l
のセルバッファ10036へ送るが、もし該
セルバッファがフルなら、該宛先セルバッファ
に空きができるまで延期される事は、上記の同例
アドレスの場合と同じである。宛先ノード／ポ
ートアドレスの値にかかわらず、セルバッファ
10036への転送が延期されると、解析バッ
フ10031は使用可能である。従って、ゲート

と、受信レジスタ10031は受信判定部10032
にセル受信を通知する。

受信判定部10032では、既ハブウェイの送信遅延部10033が送信したセルをランダムリールから除去するため、受信レジスタ100331内のセルの送信元ノード/ポートアドレス8037と、自ノード/ポートアドレスREG037と0307とを比較し、一致した時のみ送信遅延部10033にセル除去要求を通知する。自ノード/ポートアドレスREG10037は、マイクロプロセッサ1000により初期化しておく。セル除去要求を受けた送信遅延部10033では、一時的に受信レジスタ100331から転送されるセルのACF085Bの値を0にし、空きセルにする。

受領レジスタ10031からは、セルが送信用
制御10033、学習セル多重部10034に配
送され、更に該ハイウェイJ1に供給するポート
J10A(J)の受信制御部1006にR線で伝
送されるが、同時に各判定部10032は

- 75 -

レスパッタ100343とから成る。数ハイウェイの受信レジスタ100331からのセルは、一旦セルバッファ100341に格納される。基帯DACヘッダ989及びセル内信号991をエラ一チェックする1CS982セルの100341に格納される学習判定値100343は、1CSチェック四重符号化する学習判定値100343は、受信判定値100332からセル境界信号とHCSエラ一無し通知を受けたときに加わり、セルバッファ100342内のセルについて、

- ①セルのICFのL=1 かつB=1;
- ②優先ノード/ポインタアドレス056の最上位ビット(1/0ビット)=0 (間接セル でない);
- ③該セルのICSエラーチェックを行い、ICSエラー無しを輸出;

の3条件を判定し、3条件とも満たされたときにききに
かざり、第18図に示すように、該セルの送信用
端末アドレス854、送信用ポートアドレス
857を抽出し、3つ組アドレス情報100346の形式で、こ
の3つ組アドレスバッファ100343に格納させる。こ
の格納は、組アドレスバッファ100343に空きがあ
るときのみ行う。

HCSS98のエラーチェックを行ない、セル境界
信号及びHCSEラーの有／無をポート部
J10A(J)の受信制御部1006にRC線で
通知するとともに、学習セル多重部1034、
送信制御部1003へも同様の通知を行う。

他のハイウェイ k, l についてと同様である。以上述べたように、ポート 10 A は、特定のハイウェイからのみ入線、及びこれを通じてセルハイウェイ k からのみ入線を受ける (k 10 A) として、受信できる。例えば、ポート k 10 A (k = 1, 2, ..., 9) からのみ受信可能である。一方、ポート 10 A からのみ受信可能な受信ノードポートアドレス 950 のポートアドレス値に依存して、任意のハイウェイは線及びこれを通じてセル送信できる。

5.3 学習セル多重部

第18図は、学習セル多量部10034の構成を示す図で、ハイウェイ対応の学習判断部100345と多量化部100341から成る。

- 76 -

以上の条件を満たさなせルప్ప 100342 中のセルは、次の受領セルにより上書きされる。他のハイウェイ対応の学習判断部 100345 も同様の動作を繰り返す。

上記の型の実施例として、①、②、③の3条件を判定する代わりに、②を外し、①、③の2条件を判定するようにしてもよい。

次に、参事化部100341は、1,1,1,1,1の組アドレスバス100346を、サブバス100343から組アドレス情報100346へ、
例えば「1,1,1,1,1,1,.....」の順で出力し、1,1に
ラネコード要求通知とともに送出する。この場合
中、すべての組アドレス10AのPDR側1016に、全ハ
ウェイクから組アドレス情報を正確に学習させる
ことができる。もし組アドレスバス100343に
組アドレス情報が無いときは、1,1にはラーニング
要求を通知しない。学習判定部100341は、組アド
レスバス100343にたいし、書き込みポインテ
ー、読み出しポインテーパーallelを行うことにより、
組アドレスバス100343のI/O動作を行う。

以上、本型の説明は、ハイウェイ数H=1について行なったが、Hの他の値のときも、同様に変更できることは明らかである。

6. 最終LANから支線LAN(下り)方向の制御

6.1 中継支線LANフレームの組立て
次にポート部10Aに戻り、受信制御部1006、リアセンザルバッファ1007の動作について説明する。

(1) SHIPT10036は、1セル分のバッファであり、R線を通じてポート部10A(j)が受信できるハイウェイ上の、全てのセルをスリッチ部1003から受信する。R線の伝送は、例えば16ビット単位で搬送し搬送する。

受信制御部1006は、RC線からセル境界通知、及びHCSエラーの有/無を受ける。

HCSエラーの有のときは、該受信セルを無視し、次のセルを受信する。一方、HCSエラーなしのときは、受信制御部1006は、該受信セルのICFの

-79-

(=all "1")であった。

のいずれかが成立するならば、アドレス一致をリアセンザル部10061へ通知する。自ノード/ポートアドレスREG10065及びグルーブアドレスREG10068の値は、マイクロプロセッサ1013で初期設定しておく。グルーブアドレスREG10068は、上述の1個に限らない。

これを無視し、異なるグルーブアドレス値を初期設定しておき、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

①、②、③がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

④、⑤、⑥がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

⑦、⑧、⑨がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

⑩、⑪、⑫がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

⑬、⑭、⑮がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

⑯、⑰、⑱がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

⑲、⑳、㉑がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

㉒、㉓、㉔がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

㉕、㉖、㉗がいずれも成立しないなら、アドレス一致をリアセンザル部10061へ通知し、搬送量のグルーブアドレスに対応するセルを受信できるようにしてもよい。

-81-

-82-

-83-

-85-

-86-

線LANフレームの組立てが完了(Singleセル、またはlastセルを受信)したなら、受信制御制御部1002へ受信完了を通知する。

(4) チェイン管理部10061は、PSN/SEQエラーチェックを行なうためのチェック回路、SHIPT10063からリアセンザルバッファ1007へデータを搬送するため、又はチェイン管理部自身がリアセンザルバッファ1007からデータをread/writeするためのアクセス制御回路、及びデレジスタ、リアセンザルバッファ1007内の搬送するデータ構造を操作できるいわゆるシーケンサ制御回路、その他から成る。

又、リアセンザルバッファ1007は、いわゆる3ポートバッファメモリであり、チェイン管理部10061及び受信制御制御部10062、FDDIアクセス部が並行してアクセス可能である。

SHIPT10063からリアセンザルバッファ1007へデータを搬送する。

該送信元ポートから前回受信したセルのPSN、SEQの値を格納する前回PSN9123と、前回SEQ9124とから成る。

パケット9111は、パケット自身をチェインするためのチェインポインタ9111と、セル格納部9112とから成る。セル格納部9112には、セルのACFを格納する場合としない場合があるが、以降の説明で述べる。

パケット9111は、パケット9111の先頭空きパケットポインタ、及び最終空きパケットポインタは、未使用のポインタ9114をチェインするため使う。

組立て完了フレーム管理エン트리914は、組立て完了したセル群、すなわち、1つの転送支線LANフレームから生成されたFirstセル1個、Nextセル0個以上、Lastセル1個、又は、Singleセル1個を格納しているパケット群を、任意の転送支線LANフレームに分割チェインすることによりできるパケット群を、先頭フレームポインタ9143、最終フレームポインタ9144によりFIFOマネ

ージングを行う。

また、マイクログロブセッサ1013により、リ

-83-

-84-

ア-ありのときは、学習不可を学習制御に通知する。

(2) 上述の動作と並行して、アドレス情報REG10067はSHIPT10063内のセルから、第10回の説明で述べたように送信元端

元アドレス852、送信元ノード/ポートアドレス957を取り込み、超アドレス情報100346を作成する。また、学習制御10066は、SHIPT10063内のセルのACF055のL

の値を判定し、L=1(学習源)であり、かつ受信制御部10064から学習可通知を受けたなら、FDB制御部1010に対し、下り方向ラニング要求を通知する。この結果、FDB制御部1010は、アドレス情報REG10067内に蓄積された、送信元

元の超アドレス情報(端元アドレス、ノードアドレス、ポートアドレス)を学習する。

(3) 受信制御部10064からアドレス一致の通知を受けたチェイン管理部10061は、次に述べるように最終MACヘッダ959のPSNと、SEQをチェックし、エラーが無く、かつ転送支

線LANフレームの組立てが完了(Singleセル、またはlastセルを受信)したなら、受信制御制御部1002へ受信完了を通知する。

(4) チェイン管理部10061は、PSN/SEQエラーチェックを行なうためのチェック回路、SHIPT10063からリアセンザルバッファ1007へデータを搬送するため、又はチェイン管理部自身がリアセンザルバッファ1007からデータをread/writeするためのアクセス制御回路、及びデレジスタ、リアセンザルバッファ1007内の搬送するデータ構造を操作できるいわゆるシーケンサ制御回路、その他から成る。

又、リアセンザルバッファ1007は、いわゆる3ポートバッファメモリであり、チェイン管理部10061及び受信制御制御部10062、FDDIアクセス部が並行してアクセス可能である。

SHIPT10063からリアセンザルバッファ1007へデータを搬送する。

該送信元ポートから前回受信したセルのPSN、SEQの値を格納する前回PSN9123と、前回SEQ9124とから成る。

パケット9111は、パケット自身をチェインするためのチェインポインタ9111と、セル格納部9112とから成る。セル格納部9112には、セルのACFを格納する場合としない場合があるが、以降の説明で述べる。

パケット9111は、パケット9111の先頭空きパケットポインタ、及び最終空きパケットポインタは、未使用のポインタ9114をチェインするため使う。

組立て完了フレーム管理エン트리914は、組立て完了したセル群、すなわち、1つの転送支線LANフレームから生成されたFirstセル1個、Nextセル0個以上、Lastセル1個、又は、Singleセル1個を格納しているパケット群を、任意の転送支線LANフレームに分割チェインすることによりできるパケット群を、先頭フレームポインタ9143、最終フレームポインタ9144によりFIFOマネ

1007ヘデータ転送中は、自らのリアセンザルバッファ1007へのアクセスは禁止する。また、マイクロプロセッサ1013からのリアセンザルバッファ1007へのアクセスは、初期設定時のみである。

(5) リアセンザルバッファ1007内の搬送データ構造を第23図-第24図に示す。

組立て管理エン트리910は、PSN、SEQエラーチェック、及び転送支線LANフレームの組立ても送信元のポート部10A対応に行なうためのデータであり、管理エン트리912を1つのエントリとする配列である。最終LAN0の最大構成に合わせ(例えば第27図のノード/ポートアドレス構成では2*3*3*3)管理エン

トリ912を持つことにより、任意のノード10の任意のポート部10Aからのセルを受信できる。

送信元のポート部10A対応の管理エントリ912は、パケット911と呼ぶセルを格納する入れ物をチェインするための先頭パケットポインタ9121と、最終パケットポインタ9122と、

一で管理する。

転送フレーム数カウンタ9141、及び転送パケット数カウンタ9142は、リアセンザルバッファ1007からFDDIアクセス部10123へ転送した転送支線LANフレーム数、及びそれらフレームの総バイト数である。

パケット9111は、その時々により組立て管理エン트리910に、あるいは空きパケット管理エン트리913に、あるいは組立て完了フレーム管理エン트리914につながっている。

以降の説明では、先頭/最終ポインタのペアとそれらによりチェインされたパケット群からなり、FIFOマネージングを実現するデータ構造をキューと呼ぶ(例えば、空きパケットキュー)。キューに「つなぐ」とは、キューの最後にパケットをチェインすることを、キューから「取り出す」とは、キューの先頭のパケットをチェインからはずすことを意味する。また、キューの終わりは、チェインポインタの値が0であることにより判定できる。また、マイクロプロセッサ1013により、リ

-84-

-85-

ア-ありのときは、学習不可を学習制御に通知する。

(2) 上述の動作と並行して、アドレス情報REG10067はSHIPT10063内のセルから、第10回の説明で述べたように送信元端

元アドレス852、送信元ノード/ポートアドレス957を取り込み、超アドレス情報100346を作成する。また、学習制御10066は、SHIPT10063内のセルのACF055のL

の値を判定し、L=1(学習源)であり、かつ受信制御部10064から学習可通知を受けたなら、FDB制御部1010に対し、下り方向ラニング要求を通知する。この結果、FDB制御部1010は、アドレス情報REG10067内に蓄積された、送信元

元の超アドレス情報(端元アドレス、ノードアドレス、ポートアドレス)を学習する。

(3) 受信制御部10064からアドレス一致の通知を受けたチェイン管理部10061は、次に述べるように最終MACヘッダ959のPSNと、SEQをチェックし、エラーが無く、かつ転送支

線LANフレームの組立てが完了(Singleセル、またはlastセルを受信)したなら、受信制御制御部1002へ受信完了を通知する。

(4) チェイン管理部10061は、PSN/SEQエラーチェックを行なうためのチェック回路、SHIPT10063からリアセンザルバッファ1007へデータを搬送するため、又はチェイン管理部自身がリアセンザルバッファ1007からデータをread/writeするためのアクセス制御回路、及びデレジスタ、リアセンザルバッファ1007内の搬送するデータ構造を操作できるいわゆるシーケンサ制御回路、その他から成る。

又、リアセンザルバッファ1007は、いわゆる3ポートバッファメモリであり、チェイン管理部10061及び受信制御制御部10062、FDDIアクセス部が並行してアクセス可能である。

SHIPT10063からリアセンザルバッファ1007へデータを搬送する。

該送信元ポートから前回受信したセルのPSN、SEQの値を格納する前回PSN9123と、前回SEQ9124とから成る。

パケット9111は、パケット自身をチェインするためのチェインポインタ9111と、セル格納部9112とから成る。セル格納部9112には、セルのACFを格納する場合としない場合があるが、以降の説明で述べる。

パケット9111は、パケット9111の先頭空きパケットポインタ、及び最終空きパケットポインタは、未使用のポインタ9114をチェインするため使う。

組立て完了フレーム管理エン트리914は、組立て完了したセル群、すなわち、1つの転送支線LANフレームから生成されたFirstセル1個、Nextセル0個以上、Lastセル1個、又は、Singleセル1個を格納しているパケット群を、任意の転送支線LANフレームに分割チェインすることによりできるパケット群を、先頭フレームポインタ9143、最終フレームポインタ9144によりFIFOマネ

センブルバッファ1007は次のように初期化する。
① 全てパケット911にフォーマツティングし、全てのパケット911を空をパケットキューにチェインする。
② 組立て完了フレームキューはempty
(先頭及び最終フレームポインタ=0)。
③ 各管理エントリ912のパケットキューはemptyに、前回PSN913及び前回SEQ914はそれぞれinitialに0にする。
(6) ついじめにPSN、SEQのエラーチェックについて説明する。

チェイン管理部10061は、SHIF10063内の受信セルの送信元ノードノポートアドレス957の値(=t)をインデックスとして、組立て管理テーブル910のt番目の管理エントリ912(これをENT(t)と記す)をFetchedし、その前回PSN913と前回SEQ914を得る。
更に、該受信セルの基幹MACヘッダのPSNとSEQ(これを以降、それぞれ今回PSN、今回SEQと呼ぶ)を得て、これから第31図～第34図に基づきエラーチェックする。その後、チェイン管理部10061は今回PSNの値をENT(t)の前回PSN912に設定する。

SEQのエラーチェックは、PSNエラーチェックでエラーでない受信セルについて行なうが、その方法は、4.4.1の(2)で説明したSEQウェネレータの(a)～(c)の実例に対しにSEQエラー決定テーブルで示す(第32図～第34図)。チェイン管理部10061は、エラーチェック後、各決定テーブルの後処理に示した処理を行なう。尚、第32図～第34図はMOD128表示である。
PSNエラー又はSEQエラーを検出した時、チェイン管理部10061は該受信セルをリアセンブルバッファに転送しない。
更に、PSNエラー又はSEQエラーを検出した時、もし該受信セルのPSN=Next又はLastならば、該管理エントリENT(t)のパケットキューにチェインされているFirst

- 87 -

セルを内包するパケット911から始めて、パケット911のチェインポインタ値=0(チェインの終わり)でない限りパケット911のチェインポインタ911をたどる事により、Nextセルを内包するパケット911を0個以上見つけ、これら全てのパケット911を空きパケットキューにつなぐ。
(7) PSNエラー、SEQエラーが無ければ、チェイン管理部10061は、空きパケットキューからパケット911を1つ取り出し、セル格納部912に該受信セルを格納する。もし該受信セルがSingleセルなら組立て完了フレームキューへつなぐ。さもなくば、該管理エントリENT(t)のパケットキューにつなぐ。もし該受信セルがLastセルなら、該パケットキューにチェインされているFirstセルを内包するパケット911からLASTセルを内包するパケット911までの全てのパケット911をチェインの順序はそのままに、組立て完了フレームキューへつなぐ。以上述べたように、Singleセル受信、又はLastセル受信により、組立て完了フレーム

- 88 -

ス部10123は該支線LAN25へ送達するために、S110で送信部REG1006Aをセットする。その後、支線LAN25への転送が完了したか調べるため、下り転送完了ステータス1006BをS120で判定する。未完なら、S120を繰り返す。完了ならS100に降り、次の転送支線LANフレームの存在を判定できるようにする。

尚、第20図、第21図のS10、S60、S100、及びS120の繰り返しループにより、マイクログセッサ1013がこれらの処理に専有されることはない。すなわち、一般に使われてゐる割込み制御、プログラムのタイムスライス実行制御、及びマスタタスクスケジューリング機能をもつOSプログラムの下で上記第20図、第21図のルーチン及びその他のプログラムを動作させることにより容易に防止できる。

6. 3 支線LANへの送信
(1) 受信転送制御部10062は、リアセンブルバ

- 89 -

FDIアークセス部10123へ転送する。
(3) まず、受信転送制御部10062は、転送フレームカウンタ9141と転送バイトカウンタ9142を0クリアする。
(4) 次に、組立て完了フレーム管理エントリ914の組立て完了先頭フレームポインタ9143が空きパケット911から始めて、パケット911内のセルをアクセスし、該セルのPSNおよびLSNの値に従い、FDIアークセス部10123へ転送開始すべき該セル内のアドレス、及び長さを知り、転送バイトカウンタ9144に長さを加えたと共に、正味のデータ(第7図でハッチングで示した部分)をリアセンブルバッファ1007からFDIアークセス部10123へ転送する。受信転送制御部10062は、1パケット内の転送が完了すると、該パケットを組立て完了フレームキューから取り出し、空きパケットキューにつなぐ。もし該パケットのセルのPSNがNextまたはFirstならば、パケット911のチェインポインタ9111をたどり、次のパケット911を得て、上記の転送処理を再び行なう。もし、

- 90 -

ンファ内にある前記第22図～第24図に示したデータ構造を操作できる、いわゆるシケンセス制御回路、加算/減算/比較回路のほか、リアセンブルバッファ1007からFDIアークセス部10123へのDMA転送制御回路などからなる。

(2) S10で送信部REG1006Aがセットされると、送信部REG1006Aからの駆動信号により、受信転送制御部10063は、FDIアークセス部10123へ支線LANフレームの送信要求を送知する。支線LAN25上をトーキングが一回し、該送信要求を受けていたFDIアークセス部10123がトーキングをハントすると、FDIアークセス部10123から受信転送制御部10062へ送信レディの通知が戻り、あとは両者の間でDMA転送制御が行われ、リアセンブルバッファ1007からFDIアークセス部10123を經由して支線LAN25へ支線LANフレームが転送される。このとき、受信転送制御部10062は、第7図に示した各セルのハッチングした部分、すなわち転送支線LANフレームの部分だけを取り出し、

- 92 -

Single又はLastならば、1つの転送支線LANフレームの転送が終わったと認識し、転送フレームカウンタ9141に1加算する。
(5) FDIアークセス部10123は、FDI MAC方式に従うので、トーキング保持時間の許すかぎり支線LANフレームを幾つでも送信できる。受信転送制御部10062は、1つの転送支線LANフレームの転送が終わる毎に組立て完了フレームキューを調べ、もし組立て完了した転送支線LANフレームがあれば、下り転送完了ステータス1006Bに完了を通知し、処理を終了した後、送信部REG1006Aからの次の駆動信号を待つ。一方、次に送るべき組立て完了した転送支線LANフレームがあれば、前述(4)同様の動作を繰り返す。そのうち、トーキング保持時間が切れると、FDIアークセス部10123はトーキングをリリースし、同時にFDIアークセス部10123は受信転送制御部10062へトーキングリリースを通知する。この通知を受けた受信転送制御部10062は、次に送るべき組立て完了した転送支線LANフレームが組立完

- 94 -

フフレームキユーにあって、新たなDMA転送を行わず、代わりに、下り転送完了ステータス10069に完了を通知する。トーション保持時間が切れる前に送るべきを通知して完了した転送支線LANフレイムが無くなくなったとき、受信転送制御部10062は、トーションリクス用子をFDDIアクセス部10123に通知するとともに、下り転送完了ステータス10069に完了を通知する。FDDIアクセス部10123は、トーションをリリースする。以上が送受信制御REG10069Aがセットされてから下り転送完了ステータス10069に完了を通知するまでの動作である。なお、PCSS95AはPDDIアクセス部が生成する。

6. 4 支線LANからの中継フレイム消去
1. 2. 2で述べたように、フレイム消去部10126は、カウンタ回線をもち、FDDIアクセス部10123がトーションハンパル時にカウンタを0クリアし、下り方向に中継される支線LANフレイムがFDDIアクセス部10123から支線

ダ生成部10088が同報セル(優先ノード/ポートアドレスの最上位ビット=1)を生成する時に参照し、その値を該同報セルの優先ノード/ポートアドレス956に設定するものである。

一方、該ポート部10AのグループアドレスREG10068にも同じ値(グループAでは0、グループBでは0b)をマイクロプロセッサ1013により初期設定しておく。こうすることにより、例えば端末が送信した支線LANフレイムが一方同報フレイムであったとき、この支線LANフレイムをセルに分割してポート部Aか端末LANへ同報セルを送信するとき、優先ノード/ポートアドレスの値は0であり、グループAに属するポート部10Aには受信され、配下の支線LAN25へ中継されるが、グループBに属するポート部10Aには受信されないで配下の支線LANには中継されない。フィードバックで端末LANアドレスNOT FOUNDになった支線LANフレイムについても同様である。従って端末からの同報フレイムによるトラヒック、ま

たはFDB部1018でNOT FOUNDになった支線LANフレイムから生じる同報トラヒックもグループ間で分離することができる。システム運用上好都合である。

上記の説明では、A、Bグループであったがそれ以上も同様に可能であることは容易にわかる。(2)上記の具体応用例としては、異なるMAC方式の支線LAN(例えばMAC方式AとMAC方式B)を接続しているポート10AをそれぞれグループA、グループBに分け、さらに、各ポート10Aのマイクロプロセッサ1013は該ポートの支線LAN MAC方式の識別(例えば方式Aまたは方式B)を判定できる手段を設け、さらにマイクロプロセッサ1013は判定結果に基づき、予め非的に決めておいたグループアドレス(G)または0bのいずれかを上記の送信セル同報アドレスレジスタ10086とグループアドレスREG10088に初期設定する。これにより異なるMAC方式の支線LAN25が支線LAN0の伝送路13を共用でき、しかも

自ノード/ポートアドレス
REG10065
③次のレジスタのポートアドレス値は、ポート部10A内で同一に、その値は該ポートが受信するハイウェイ1、j、k、lに対応して、00、01、10、11とする。
自ノード/ポートアドレス
REG10089
自ノード/ポートアドレス
REG10088
④次のレジスタのポートアドレス値は、ハイウェイ1、j、k、lに対応して、00、01、10、11とする。
自ノード/ポートアドレス
REG10037
7. システム応用
(1)第17図に本発明の一応用を示す。
この図では、支線LAN25がポート部10Aを介して支線LANループにブリッジ接続

していることを強調するため、伝送制御部100やハイウェイは省略しているが、前述の支線LANの図を何ら矛盾するものではない。
(ケース1)の(1)で述べたように、前述の支線LAN25の同報セル(優先ノード/ポートアドレスの最上位ビット=1)の優先ノード/ポートアドレス値には、一方同報アドレス(all"1")とグループ同報アドレスの2つのケースがある。この応用例では、全てのポート部10Aで一方同報アドレスの初期設定を禁止する。かわりに、グループAに含まれる複数のポート部10A全てに同じグループ同報アドレス値(=Ga)を使用させる。一方、別のグループBに含まれる複数のポート部10Aの全てに同じグループ同報アドレス値(=Gb)を使用させる(但しGa≠Gb)。具体的には、セルハッダ生成部10086が参加できる送信セル同報アドレスレジスタ10086G5に、値(グループAではGa、グループBではGb)をマイクロプロセッサ1013初期設定する。該レジスタは、セルハッ

ポート部10Aでは同報セルによる互いに形式の異なる支線LANフレイムの受信がなくなり、誤動作しないメリットがある。

8. 他の実施例

以下に本発明の他の実施例を説明する。

(1) ACP955のSフィールドを利用した別の実施例は、ノード10内にポート部10Aとは別のポート、例えばTDM回線接続を実装させ、支線LAN0全体をマルチメディア通信用のLANにするものである。TDMポートでは、送信セルに対しACPのS=10(同報セル)かつB=1を付加し、一方、スイッチ部の受信判定部10032で、ACPのSフィールドを判定する判定回路を設け、受信ポートに対しては、ポートのタイプが一致(例えばポート部10AであればS=00、TDMポートであればS=10)したときのみ、該ハイウェイを受信しているポート部へセル受信通知することによって容易に実現できる。なお、受信判定部10032にはマイクロプロセッサ

サ1000よりポートのタイプを初期設定でき、また上記判定回路から参加できる個別設定回路を設け、上述のような受信ポートのタイプ値を初期設定しておく。

(2) ACP955に学習表示Lを設け、この値を判定して学習セルを認識する前述の実施例にたいし、学習表示Lを禁止し、支線MACヘッダ959のPSNの値を判定することで学習セルを認識する他の実施例がある。学習に必要な3つ組アドレス情報は全て、PirmitセルまたはSingleセル内に存在するので問題は無い。更に前述の実施例で、学習表示Lの値判定を行っていた回路を、単にPSNの値を判定する判定回路に置き換えるだけで実現できることは容易に想像できる。

(3)更に別の実施例として、前述の実施例ではセル内の学習情報(端末アドレス、ノードアドレス、ポートアドレス)からなる組アドレスであるとしたが、前述の実施例同様、支線MACヘッダ959のPSN、またはACP955の学習表示

Lを設け、1つのセルに収まる法則の学習情報は
 PSN またはLの値が特定の数(例えば $PSN =$
 $Fire$ または $Singl$ 、または、例えば
 $L=1$)を語るセルにあることにより、ポ
 ート10のセルをかんLANからの受信部で、及び
 学習セルと重畳10034に相当する抽出部で、
 法則の学習情報を該特定セルから抽出でき、
 手型または筆致でできることは容易に想像が付き、そ
 なお、該特定セルを含む全てのセルでは、セル単
 独でセルの内容のエラーチェックが可能であるHCS
 およびICSに相当するエラーチェックフィールド
 を持つこと、更に、基幹LANへの送信部でエ
 ラーチェックコードを生成する生成回路を、基幹
 LANの受信部で、エラーチェックコードをチェ
 ックするチェック回路を持つことは、前述の実例
 図に示されている。

(4) 更に別の実施例として、学習セル多重化
10034及び10035および組アドレス
REG1014を設けない実施例がある。ポ-

されるノードには、支線LANと接続される状態の
のポートに注意を促し、各ポートがブリッジ機能を有
し、ノードが全ハイウェイエタから共通にルーティン
グ情報を受け取り全ポートに転送するので、各ポートはい
ずれの方向からとも学習することができ、フィル
タリングの効率が向上する。

(6) 基幹LANのセルビッド表示、ICS、
HCS及びシーケンスの値に基づいて、ポートの
受信部には、一連の基幹LANセルから支線
LANプレームの再組立（エラーチェックも含む）
ができる。

(7) ポート部は、特定のハイウェイからのみを受信するので、送信側のルーティング及び送受信処理が簡単になる。

以下、本発明の更に他の実施例を説明する。

ル)は、発売が存在しないので、基幹LANに接続される全ノード10は、この学習セルをPDB部1016への学習に使う以外にはリアセンブルパツファに学習することはない。

なお、ケース１の場合、すなわち中継の場合は、前記の実施例と同様に学習を生感し、当該ハウィエイに送出する。一方、学習処理は前述の実例と同様に、ＦＤＢ部１０１６が共通学習バスから入差する学習セルにより学習する。

ここで、本実験例においては、支援LANから受信したフレームからは送信ステーションをFDB表1016のエントリに登録しなくとも学習できる。なぜなら、ルータ状の基幹LANの特徴を記した次の理由からである。すなわち、フレームの中継/削減される場合かわらば、学習セルを基幹LANに送出する命令であれば、必ず元のノードに戻つてくる。この由に、学習セルが

また、廃棄時には学習セルを中継しない方法であれば、支線しANNから受償した時にエントリリー

方法でも良い。

すなわち、支援LANからフレームを受信した
とともに送信元端末をFDB部1016のエントリ
ーに登録するようにし、最終LANから学習セル
を受信した時は、送信元ノードアドレスが自ノ
ードアドレスと一致すれば登録をしないようにする。
このことによっても、一連の学習セルによる、2度
の登録を防ぐことができる。

以下、本発明の更に他の実施例を図面を用いて説明する。

第12図(a), (b), (c), (d)は本実施例の方式を説明するための既習システム構成例を示す図、第13図は文庫LANのフレーム構成、基幹LANのフレーム構成およびクライアント、基幹LANのフレームの構成を示す図、第14図は学習用フレームの構成を示す図、第15図は第12図の基幹LAN1に接続されるノード1は具体的な構成を示す図である。

第12図において、1は1本のループ状ハイウエイからなる基幹LAN、2～4は基幹LANに接続されるノード、21、31、41はノードが

を登録し、一週学習セル、すなわち、前先行ノード
アドレステと自ノードアドレステとが一致する学習セル
を受けたとときに登録せず、一致しない場合にのみ登録することゝできる。

(1) 腐葉フレームの場合であっても、基幹に従って、本実施例によれば、以下の効果がある。

LANに接続される全ノードは送信元ステーション位置を学習することができ、宛先不明による阿呆送信が減り、基幹LANおよび支線LANのトラフィックが少なくなる。

(2) 同報送情であっても、学習セルのみは1本のハイウェイに送出するので、同じエントリーを何度も登録することはない。

(3) 学習セル送出ノードは、他ノードと同様に、学習セルを一週する学習セルからエントリーを登録できるので、登録LANから受信したフレームからは登録する必要が無い。従って、登録処理が削減でき、更に、ハードウェアも簡単になる。

更に、以上の実施例では、ノードが支線LANからフレームを受信したときには学習しない例を

- 108 -

保持するエントリテーブル、5～7は通称LANに接続する支線LAN、51、52、71、72は支線LAN5～7に接続されるシモンである。

第12図(A)において、まず、例えば、支線LAN7に接続されるステーション71が同支線LANに接続されるステーション72へフレームを送信する場合について説明する。なお、本実施例では説明の簡明のために、ノード=ポートとし、例について述べる。

によって中絶されなくとも元アドレス・ジャンプに到達する。このフレームは第13図(A)に示す構成のように、優先ステーションアドレス、送信元ステーションアドレス、情報部、情報部からなるアドレス・ジャンプフレームである。この場合、優先ステーションアドレスd、送信元ステーションアドレスdである。

一方、ノード4は、支線LAN7からこのフレームを受領する。ノード4は、保持するエントリ

- 106 -

一テーブル41から優先ステーションアドレスdをキーとして優先ステーションを収容するノードアドレス(すなわち、優先ステーション)を抽出する。しかし、このときはまだアドレスdはエンタリテーブルに登録されていないので、優先ステーションがある位置が分からない。従って、ノード4は基幹LANに接続されている全ノード1に対して優先ステーションを抽出する。すなわち、優先ノードアドレスを抽出する。送信用ノードアドレスを抽出して、基幹LANフレームをフレームに付加して、基幹LANフレームを第13図(C)に示す要に、例えば可変長パケットの構成にした後、基幹LAN1に送出する。基幹LAN1に接続される他の全ノード2~3は、優先ノードが同属であるこのフレームを受信し、基幹LAN用ヘッダ部を取り出した後、各自ノードが収容する基幹LANに中継する。また、この場合における各ノードのルティング情報の学習は以下のように行う。

- 111 -

図1フレームを構築する。ここで、ノード4は、全ノードに対して優先ステーションアドレスdのステーションを収容するノードアドレスがCであることと、基幹LAN1に送出する。第13図(C)に示すように、ルティング情報のみからなる学習フレームを構築し、基幹LAN1に送出すると共に、自己のエントリテーブル41に登録する。学習フレームは、優先ノードアドレスがマルアドレス、送信用ヘッダ部と、送信用ステーションアドレス(d)とからなる。従って、ノード2~3は前述と同様に基幹LAN1から送信用ステーションアドレスdとそれを収容するノードアドレスCを学習することができる。ただし、ノード2~3は、この学習フレームは優先ノードアドレスがマルアドレスであり自ノード宛でないで構築し、支幹LANには転送しない。

次に、異なる支幹LAN間に渡る通信について、第12図(C)および(D)を用いて説明する。第12図(C)において、支幹LAN5に接続

- 112 -

支幹LAN7から基幹LAN1に中継するノード4は受信した支幹LANフレームの送信用ステーションアドレスoと自ノードアドレスCの組合をエントリテーブル41に登録する。一方、支幹LAN1に接続される他の全ノード2~3は、基幹LAN1からフレームを受信しこのフレームに含まれる送信用ステーションアドレスoと、送信用ノードアドレスCの組合をそれぞれエントリテーブル21、31に登録する。

次に、ノード4が支幹LANフレームを基幹LANに中継しない場合について説明する。

第12図(B)で、例えば、支幹LAN7に接続されるステーション72が、支幹LAN1に接続されるステーション71に送信する場合、ステーション間の送受信は前述と同様である。しかし、ノード4は支幹LAN7から支幹LANフレームを受信し、優先ステーションアドレスoをキーにエントリテーブル41を参照すれば、oは上述の処理で学習済みであり、それが自ノードが収容するステーションであることが分かる。従って、

- 112 -

されたステーション51が、優先ステーションアドレスdのフレームを受信し、支幹LAN5に送出する。ノード2は該フレームを受信し、エントリテーブル21から優先ステーションdを抽出し、優先ノードアドレスCを得る。ここで、ステーションアドレスdは、上述の構築時の学習フレームから既に学習している。そこで、優先ノードアドレスCと送信用ノードアドレスAを受信フレームに付加して、基幹LANフレームを構築し、支幹LAN1に送出する。ノードアドレスCを持つノード4は該フレームを受信し、支幹LAN7に中継し、該フレームはステーションアドレスdのステーション72に到達する。一方、ノードアドレスBを持つノード3は、優先ノードアドレスdと現によって該フレームを構築し、支幹LAN5に中継しない。なお、上述のように、各ノードはステーションアドレスoと、ノードアドレスAの組合をそれぞれエントリテーブルに登録する。また、送信用ノードが優先ノード不明(ノードエントリ)による同属送信を行う場合は以下であ

- 113 -

- 387 -

ダを付加し、基幹LAN1に送出する送信部、87はフレームを取り込み受信部、88は受信制御部、89は支幹LAN1に送信するフレームを格納する送信バッファである。

さて、本構成において、支幹LANから基幹LAN1への中継処理について説明する。

支幹LAN制御部83は、支幹LANを流れる全フレームを受信バッファ85に取り込む。支幹LAN制御部83は送信制御部84に送信を依頼する。受信制御部84はルーティング情報登録部81に検索を指示し、ルーティング情報登録部81は受信バッファ85から、第13図(A)に示す支幹LANフレームの優先アドレスを取り込み、第12図に示す構成のエントリテーブル82を参照し、優先ノードアドレスを送信制御部84に知らせ、送信制御部84が前述した通り中継/構築制御を行う。もし、中継であれば送信制御部84は優先ノードアドレスを送信部86に送り、送信制御部84は、受信バッファ85から所望のフレームを取り、支幹LAN

- 116 -

間によれば、以下の効果がある。すなわち、支幹フレームの場合であっても、基幹LAN1に接続される全ノードは送信用ステーション位置を学習することができ、優先不明による同属送信がなくなり、基幹LANおよび支幹LANのトラフィックが少なくなる。

また、各ノードは基幹LAN方向のみ、優先ステーションアドレスの検索だけで十分であり、支幹LAN方向の検索が不要となり、構築処理の負荷が軽減する。

また、上述の実施例は、ステーションと、それを収容するノードアドレスとからなるエントリテーブルを使用しているが、この目的は、支幹LAN方向へのエントリ検索を不要にすることにある。即ち、基幹LANに中継する送信ノードが優先ノードアドレスを付加するので、受信ノードは、優先ノードアドレスと自ノードアドレスとの一致判断をただで良い。

従って、支幹LANから受信したノードが、支幹LAN方向にエントリを検出し、中継/構築

- 118 -

- 388 -

学習処理の附属ができる。

しかしながらこの方法では、自ノードが送出したデータがループを一通りもたずに返ってくる。このときも学習処理を実行すると、同じ学習を二度行うことになり無駄である。従って、次の実施例でこれを回避できる。

すなわち、第15図(B)に示すように、基幹LANから受信したデータが自ノードが送出したものであれば、学習処理を実行しない(イ)。即ち、受信データのヘッダの送信元ノードアドレスが自ノードアドレスと一致すれば、学習処理を中止することで実現できる。ただし、他ノードが送出したものであれば、もちろんこれを破棄する(ロ)。

これにより、二度にわたる無駄な学習処理を防ぐことができる。

また、支線LANから受信したデータが基幹の場合には、送信元ステーション位置を基幹LANに送出しない方式であれば、支線LANからデータを受信した際に必ず学習する必要がある。

判断するのであれば、エントリーは、ステーション位置が支線LAN側か、基幹LAN側かを表す情報だけで充分である。この方式においてはやはり、基幹フレーム受信時に他ノードに上記ステーション位置を知らせる方式が適用でき、優先不明による同種送信が属することになる。

更に、以上の実施例では、ノードが支線LANからデータを受信すれば基幹の場合であっても必ず送信元ステーション位置を基幹LANに送出する例を示したが、以下の実施例でも実現できる。すなわち、第15図(A)に示すように、ノードが支線LANからデータを受信し、この時、送信元ステーション位置をエントリーテーブルに登録する。もし、このステーションは初めての登録であれば、全ノードに伝えるために送信元ステーション位置を基幹LANに送出する(イ)。また、もし、既に登録済みであれば、他のノードもそれを知っている筈であり、この場合は、知らせる必要がない。従って、送信元ステーション位置を基幹LANに送出しない(ロ)。これにより、更に

以下では、この方式における学習方法の実施例を説明する。

第15図(A)、(ロ)で(イ)は基幹の場合、(ロ)は中継の場合を示している。第15図(A)において、支線LANから受信したデータが基幹であった場合は、送信元ステーション位置をエントリーテーブルに登録する。このとき、送信元ステーション位置を基幹LANに送出しない(イ)。一方、第15図(C)において、支線LANから受信したデータが中継であった場合は、送信元ステーション位置をエントリーテーブルに登録せず、受信データを基幹LANに送出する。その使として戻ったデータから送信元ステーション位置をエントリーテーブルに登録する(ロ)。

これにより、基幹/中継にかかわらず学習処理は一度になる。また、一連データによる学習終了判断処理は必要ない。

次に、ステーション位置を、支線LAN側にあるか、基幹LAN側にあるかだけであらわす方法をとった場合の実施例を以下に説明する。

ルーティングができる。

(2) 複数の伝送路からなるネットワークを介して、支線LAN間でトランスペアレントなルーティングができる。

(3) 固定長データ単位に通信するネットワークに接続されるノードは、ルーティング情報を各固定長データに学習指示を表示するので、他のノードはこれにより学習することができる。

(4) 固定長データ単位に転送するネットワークと、可変長データ単位で転送するネットワークとを接続する中継装置で、フィルタリング/学習を行いながら、同時にデータ転送形式の变换及び転送ができる。

(5) 複数の伝送路からなるネットワークに接続されるノードは、支線LANと接続する複数のポート部を備え、ノードが全伝送路から共通にルーティング情報を得て全ポート部に配るので、各ポートはいずれの伝送路からも学習することができ、フィルタリング効率が向上する。

4. 図面の簡単な説明

PSNエラータ決定テーブル、SEQUEラータ決定テーブル(3番)の1実施例を示す図。第35図は、第11図のなかのセルヘッダ生成部の詳細図。第12図(A)～(D)は、本発明の他の実施例を示すシステム構成図。第13図(A)～(C)は、本実施例の支線LANのフレーム構成、基幹LANのフレーム構成及びルーティング学習用の学習フレームの構成を示す図。第14図は、第12図の基幹LANに接続されるノードの具体的な構成を示す図。第15図(A)～(D)は本発明の更に他の実施例を説明するための図である。

第1図～第11図、及び第16図～第35図において、

0…基幹LAN、10…ノード、100…伝送路、10A…ポート部、1000…マイクロプロセッサ、1001…光/電気変換部、1002…分離部、1003…スイッチング部、100301…ハイクウェイ処理部、10031…受信レジスタ、10032…受信判定部、10033…送

送する支線LAN側用エントリーテーブルに登録する。(4) 基幹LANからデータを受信した場合の中継/基幹判断処理…優先ステーションアドレス(DA)を基幹LAN側用エントリーテーブルから検索し、見つければ基幹、見つからなければ、中継である。

これにより、ノードアドレスを用いずに中継/基幹判断処理が実現できる。また、ルーティングにヘッダの必要がなくなり、支線LAN-支線LAN間のルーティングも実現できる。

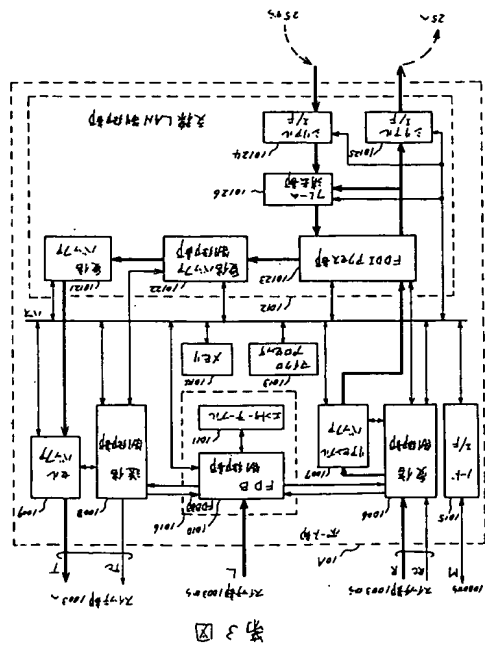
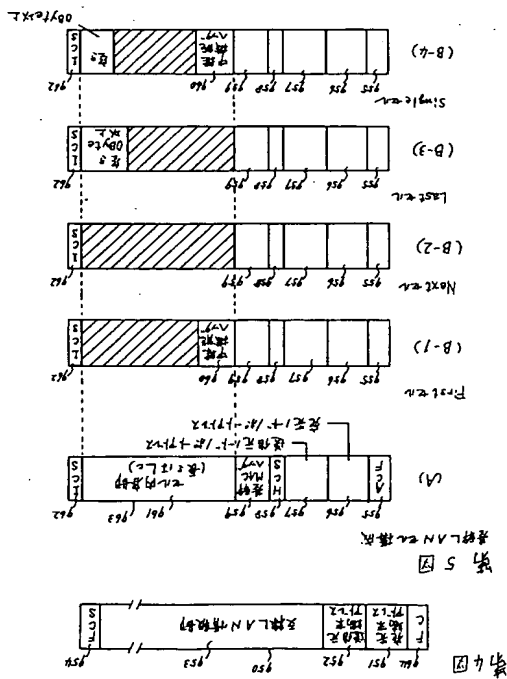
以上の実施例は、支線LAN-基幹LAN-支線LAN間における、ルーティングについて説明した。更に、本発明は、支線LAN-支線LANを接続する中継装置にも適用できることは、当然である。

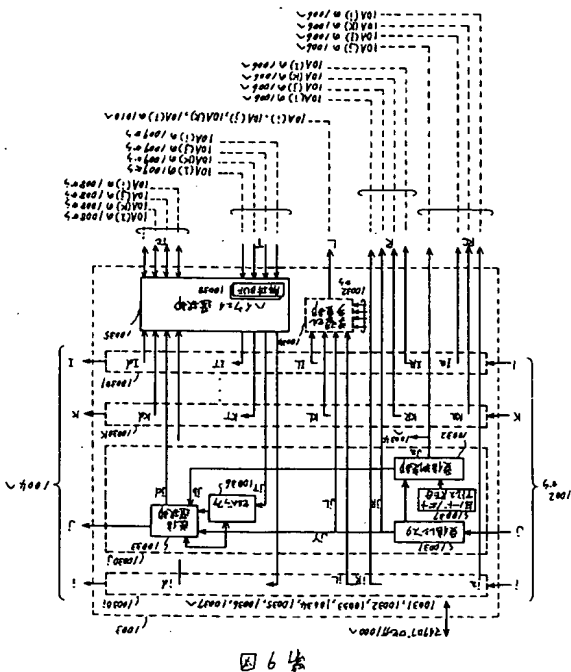
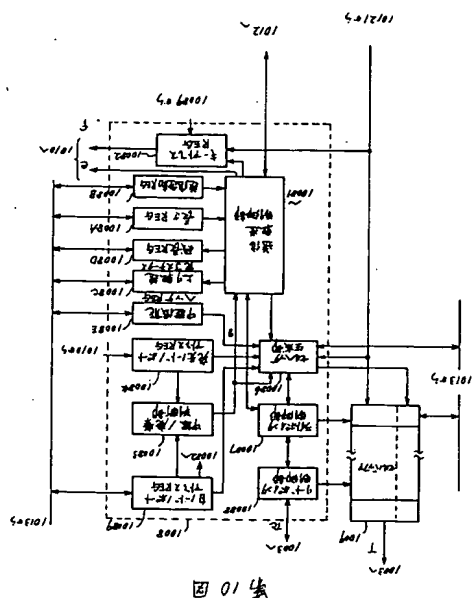
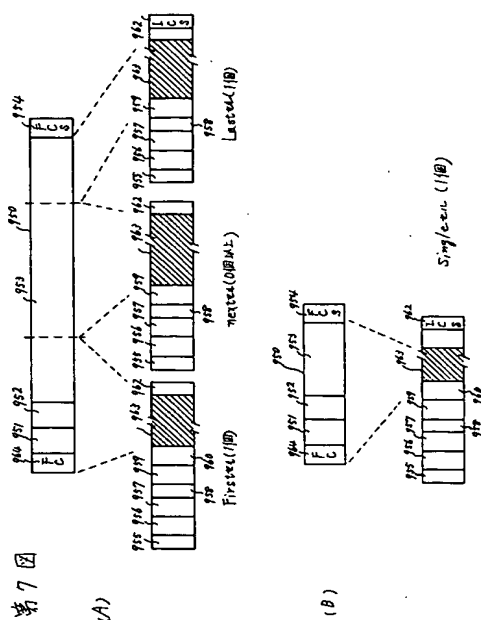
「発明の効果」

以上の説明から明らかな如く、本発明によれば、以下の効果がある。

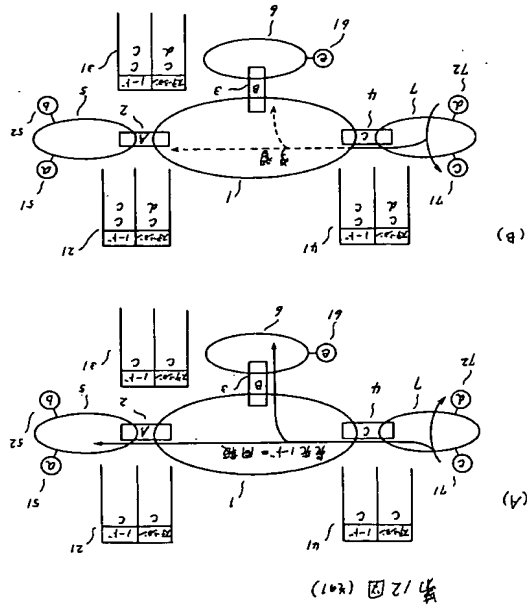
(1) 固定長データ単位に通信するネットワークを介して、支線LAN間でトランスペアレントな

第1図～第9図は、本発明によるノード装置の実施例を示す図であり、それぞれ、ノード、伝送路、およびポート部を示す図。第4図～第7図は支線LANフレーム構成および基幹LANのセル構成を説明するための図。第8図は基幹LANに接続されるノード(ポート)が保持するエントリーテーブルを示す図。第9図は第1図のノード中のスイッチング部の詳細図。第10図は第3図のノード中の送信制御部の詳細図。第11図は第3図のノード中の受信制御部の詳細図。第16、第17図は、本発明の1実施例を示すシステム全体構成を示す図。第18図、第19図は第9図の学習元多重部の詳細図。第20図、第21図は、第2図のマイクロプロセッサが実行するプログラムチャート。第22図～第24図は、第3図及び第10図の受信制御部が行うリアセンブル処理の詳細図。第25図は、第3図のFDB制御部の詳細図。第26図～第34図は、それぞれ、支線LANフレーム構成、セル構成、セルヘッダの値、中継機能ヘッダ設定値、学習条件、

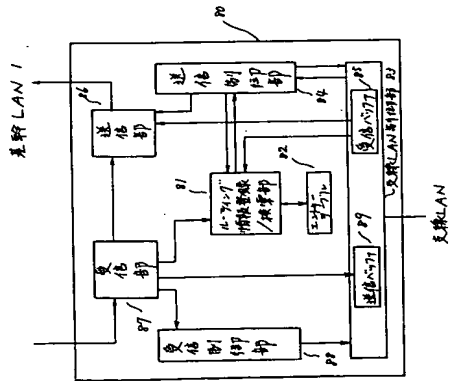




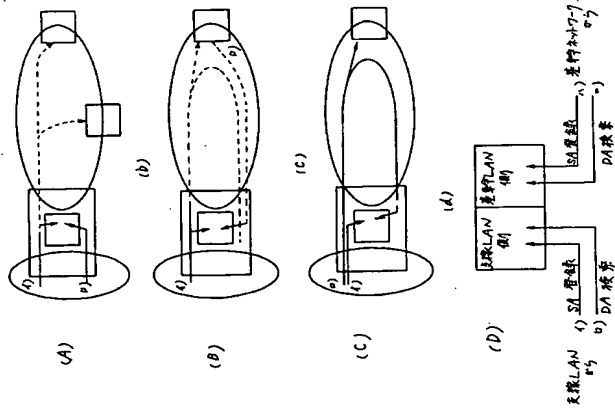
場所	1-1773	1-1773	1-1773
1741	P	D	I
1742	9	E	J
1743	1744	-	-
:	:	:	:
:	:	:	:



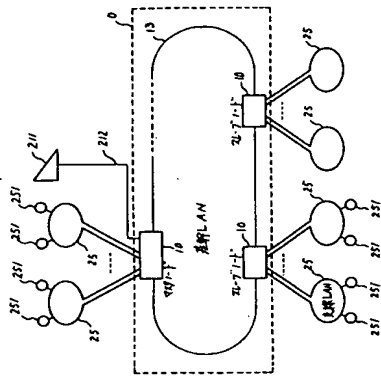
第 14 図



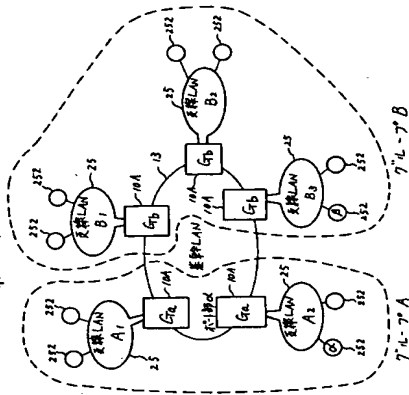
第 15 図

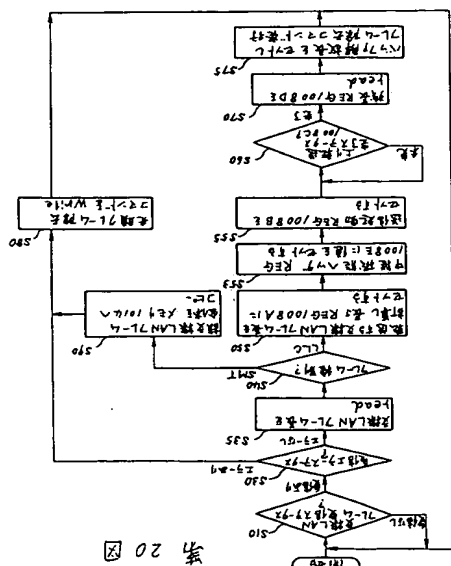


第 16 図



第 17 図





案 20 因

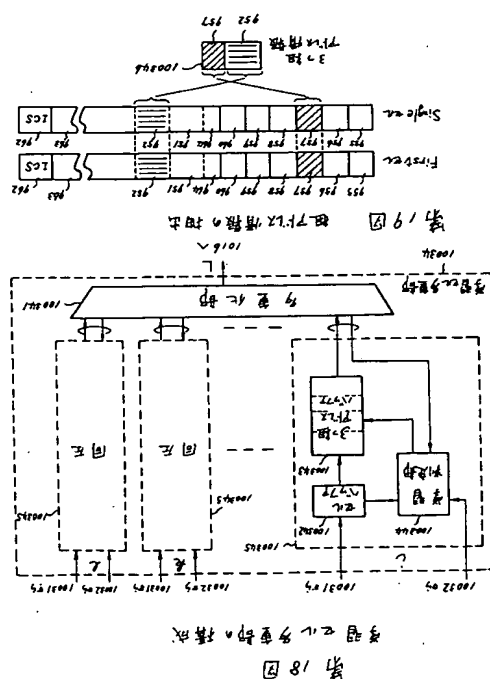
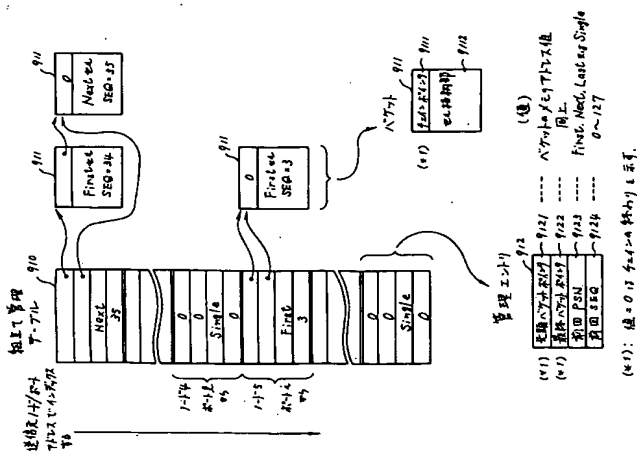
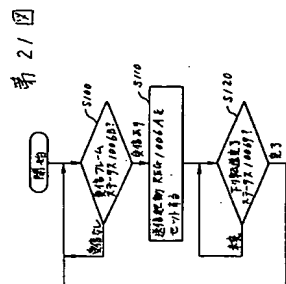


圖 81 峯

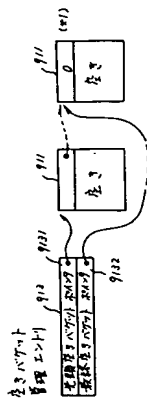


第 22.22 图



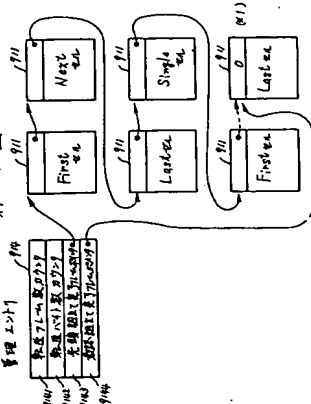
第21回

第 23 図



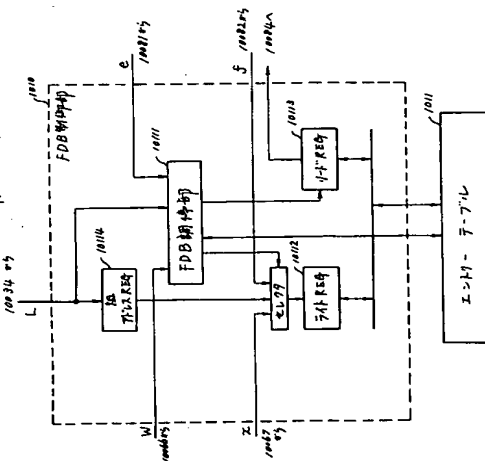
(注1): 値 = 0 は F_{LDR} の値を示す。

第 24 図



(注1): 値 = 0 は F_{LDR} の値を示す。

第 25 図



第 26 図

足腰LANの構成

フィールド名	長さ	説明
940 FCS	2 バイト	フール-4 検出 (SMIT, LLC) 等
951 宛先 MAC アドレス	48 バイト	IEEE 802 MAC アドレスの形式に準拠。最終ビットが 0 である。
952 送信元 MAC アドレス	48 バイト	同上
953 足腰 LAN 情報部	可変 (0 から 65535 バイト)	伝送中に送られる情報
954 FCS	32 バイト	エラーチェックコード
		FCS は足腰 LAN 情報部にハッシュ

第 27 図

セル構成 (一部)

フィールド名	長さ	説明
宛先ポートアドレス	10 バイト	宛先ポート番号ポートアドレスと指定。両方合わせて宛先ポートアドレスと指定。
宛先ポートアドレス	2 バイト	宛先ポートアドレスの最終ビット (1/0) のビット。宛先ポートアドレス (1/0) のビット。
送信元ポートアドレス	10 バイト	送信元ポート番号ポートアドレスと指定。両方合わせて送信元ポートアドレスと指定。
送信元ポートアドレス	2 バイト	送信元ポートアドレスの最終ビット (1/0) のビット。
HCS	8 バイト	エラーチェックコード。宛先ポート/ポートアドレスの送信元ポート/ポートアドレスと指定。
ICS	16 バイト	エラーチェックコード。宛先ポート/ポートアドレスの送信元ポート/ポートアドレスと指定。
セル情報部	可変	伝送中に送られる情報。

第 28 図

セルハッダ値 (同般フォーマット時)

フィールド名	値
ACF	h.c. (通信スロット) 1003 h
	B Single cell, Final cell, 1.
	L 1 個分は 0
	S 00 (非同期化)
先头 1-1/2 / 1-1/2	
説明 (a) '11...1' - 同期化アドレス (b) '1X...X' - アドレス同期化アドレス X...X は 74-71 DCell all '1' は 0/1 パケット	
送信 1-1/2 / 1-1/2	
自 1-1/2 / 1-1/2 アドレス REG 10089	
HCS	
計算した値	
PSN	送信機送受信機 10081 h 値
LSN	同上
MAC	0
ハッダ	説明を参照

第 29 図

中継機能ハッダ設定値

フィールド名	値
III	110 (FDDI)
R	2 (非同期化 - フォーム)
DDDD	0
SSSS	0

第 30 図

中継条件

中継条件	SHIFT/0063 内 9	受信機 10066 h
REG 値	セル先頭 1-1/2 / 1-1/2	通知
1	無関係	受信機
0	1-1/2 / 1-1/2 REG 10065	受信機
1	受信機 1-1/2	受信機
0	74-71 アドレス REG 10068	受信機
1	受信機 1-1/2	受信機
0	受信機 1-1/2	受信機

第 31 図

PSN エラー決定テーブル

PSN	Single	First	Next	Last
Single	①	③	X	X
First	X	X	⑤	⑦
Next	X	X	⑥	⑧
Last	②	④	X	X

注: ①: PSN エラーなし。②: 1-1/2 は、第 17 図 (f) ~ (i)。
SEQ エラー決定テーブルを参照 (7-3)。

X: PSN エラー有。

第 32 図

PSN	SEQ	SEQ	SEQ	SEQ
Single	①	②	③	④
First	⑤	⑥	⑦	⑧
Next	⑨	⑩	⑪	⑫
Last	⑬	⑭	⑮	⑯

注: ①~⑫: 第 17 図 (f) ~ (i) を参照。
⑬~⑯: 第 33 図

第 33 図

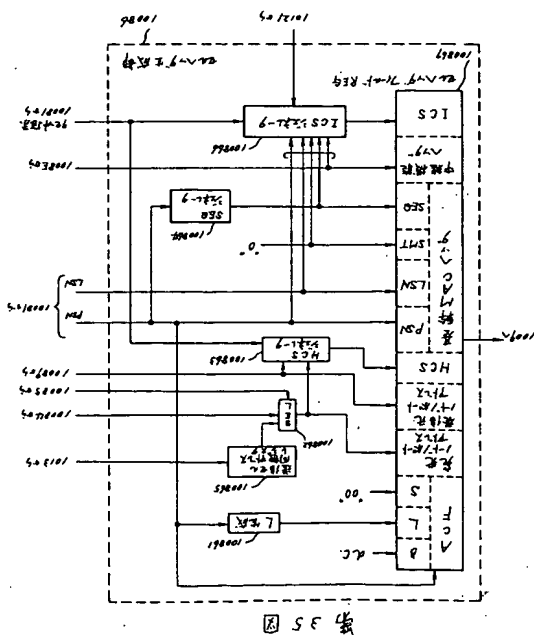
PSN	SEQ	SEQ	SEQ	SEQ
Single	①	②	③	④
First	⑤	⑥	⑦	⑧
Next	⑨	⑩	⑪	⑫
Last	⑬	⑭	⑮	⑯

注: ①~⑫: 第 17 図 (f) ~ (i) を参照。

第 34 図

PSN	SEQ	SEQ	SEQ	SEQ
Single	①	②	③	④
First	⑤	⑥	⑦	⑧
Next	⑨	⑩	⑪	⑫
Last	⑬	⑭	⑮	⑯

注: ①~⑫: 第 17 図 (f) ~ (i) を参照。



第1頁の続き

④発明者	滝安	美弘	東京都国分寺市東恋ヶ強1丁目280番地	株式会社日立製作所
④発明者	山鹿	光弘	作所中央研究所内	
④発明者	明者	山鹿	神奈川県葉野市堀山下1番地	株式会社日立製作所神奈川工場内
④発明者	明者	榎山	神奈川県葉野市堀山下1番地	株式会社日立製作所神奈川工場内
④発明者	明者	中村	東京都小平市上水本町5丁目22番1号	日立マイクロコンピュータエンジニアリング株式会社内
④発明者	塚越	和人	神奈川県川崎市麻生区王禅寺1099番地	株式会社日立製作所システム開発研究所内
④発明者	寺田	松昭	神奈川県川崎市麻生区王禅寺1099番地	株式会社日立製作所システム開発研究所内